

特性

256位

AD5260: 单通道

AD5262: 双通道(可独立编程)

电位计的替代产品

20 kΩ、50 kΩ、200 kΩ

低温度系数: 35 ppm/°C

4线式SPI兼容型串行数据输入

5 V至15 V单电源或±5.5 V双电源供电

上电预设为中间电平

应用

机械电位计的替代产品

仪器仪表: 增益、失调电压调整

立体声通道音量控制

可编程电压至电流转换

可编程滤波器、延迟、时间常数

线路阻抗匹配

低分辨率DAC的替代产品

概述

AD5260/AD5262分别是单通道或双通道、256位、数字控制可变电阻(VR)器件¹, 可实现与机械电位计或可变电阻相同的电子调整功能。AD5260/AD5262的各通道均内置一个带游标触点的固定电阻, 该游标触点在载入SPI兼容串行输入寄存器的数字码所确定的点位分接该固定电阻值。游标与固定电阻任一端点之间的电阻值, 随传输至VR锁存器中的数字码呈线性变化。在A端子与游标或B端子与游标之间, 可变电阻提供一个完全可编程电阻值。A端至B端电阻是固定值(20 kΩ、50 kΩ或200 kΩ), 其标称温度系数为35 ppm/°C。不同于市场上的大部分数字电位计, 在提供适当电源电压的情况下, 这些器件可以采用最高15 V或±5 V的电源供电。

每个VR均有各自的VR锁存器, 用来保存其编程电阻值。这些VR锁存器由一个内部串行转并行移位寄存器更新, 该移位寄存器从一个标准三线式串行输入数据接口加载数据。AD5260包含一个8位串行寄存器,

功能框图

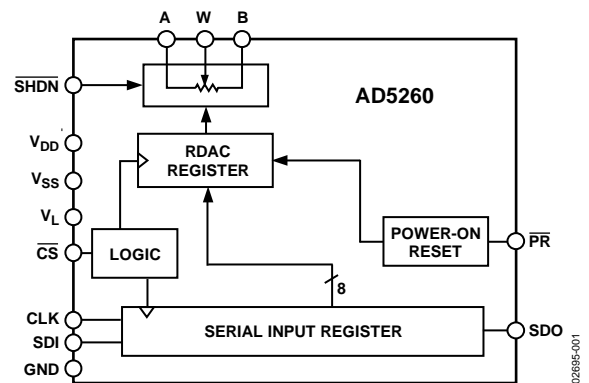


图1. AD5260

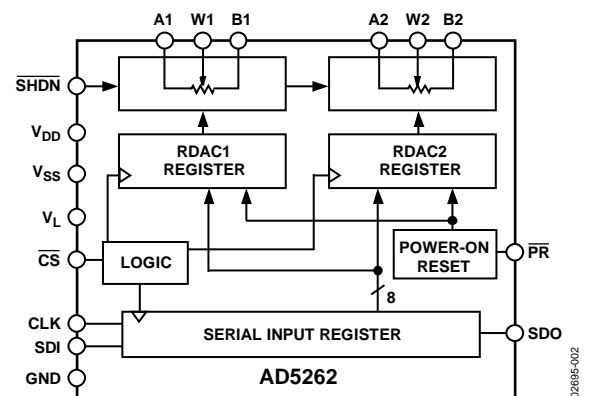


图2. AD5262

AD5262则包含一个9位串行寄存器。各位在CLK引脚的正边沿输入寄存器。在CS选通的正边沿期间, AD5262地址位决定哪一个VR锁存器载入数据字的后8位。利用串行寄存器相对端的串行数据输出引脚, 就可以简单的菊花链形式将多个VR连接, 而无需额外的外部解码逻辑。可选复位引脚(PR)通过将0x80载入VR锁存器来迫使游标移到中间电平位置。

AD5260/AD5262提供薄型表面贴装、14引脚TSSOP和16引脚TSSOP两种封装。所有器件的保证工作温度范围均为-40°C至+85°C扩展工业温度范围。

¹数字电位计、VR和RDAC这些术语可以互换使用。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2002–2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	布局布线和电源旁路.....	18
应用.....	1	端电压范围.....	18
概述.....	1	上电时序.....	18
功能框图.....	1	RDAC电路仿真模型.....	18
修订历史.....	2	RDAC的宏模型网络列表.....	18
技术规格.....	3	应用信息.....	19
电气特性—20 kΩ、50 kΩ、200 kΩ版本.....	3	采用双电源的双极性直流或交流操作.....	19
时序图.....	5	增益控制补偿.....	19
绝对最大额定值.....	6	可编程基准电压.....	19
ESD警告.....	6	8位双极性DAC.....	19
引脚配置和功能描述.....	7	双极性可编程增益放大器.....	20
典型工作特性.....	9	利用升压输出实现可编程电压源.....	20
测试电路.....	14	4 mA至20 mA可编程电流源.....	20
工作原理.....	15	可编程双向电流源.....	21
数字接口.....	15	可编程低通滤波器.....	21
菊花链操作.....	16	可编程振荡器.....	21
RDAC结构.....	16	电阻调节.....	22
可变电阻编程.....	16	外形尺寸.....	23
电位计分压器编程.....	17	订购指南.....	24

修订历史

2010年8月—修订版0至修订版A

格式更新.....	通篇
删除图1；重新排序.....	1
更改“概述”部分.....	1
更改表1的通道电阻匹配(仅AD5262)参数、 分压器温度系数参数、满量程误差参数和 零电平误差参数的条件.....	3
更改表2和表3.....	5
更改表4.....	6
更改表5.....	7
更改表6.....	8

更改图11的标题和图12.....	9
更改图31.....	12
更改图35的标题.....	13
更改图43和图46.....	14
删除电位计系列选型指南.....	18
更改“利用升压输出实现可编程电压源”部分.....	20
更改图64.....	21
更新外形尺寸部分.....	23
更改订购指南部分.....	24

2002年3月—修订版0：初始版

技术规格

电气特性—20 kΩ、50 kΩ、200 kΩ版本

除非另有说明， $V_{DD} = +15\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 或 $V_{DD} = +5\text{ V}$ 、 $V_{SS} = -5\text{ V}$ ； $V_L = +5\text{ V}$ ； $V_A = +5\text{ V}$ ， $V_B = 0\text{ V}$ ， $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

AD5260/AD5262包含1968个晶体管。芯片尺寸：89 mil × 105 mil (9345 sq mil)。

表1.

参数	符号	条件	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式		规格适用于所有可变电阻				
电阻差分非线性 ²	R-DNL	R_{WB} ， $V_A =$ 无连接	-1	±¼	+1	LSB
电阻非线性 ²	R-INL	R_{WB} ， $V_A =$ 无连接	-1	±½	+1	LSB
标称电阻容差 ³	ΔR_{AB}	$T_A = 25^\circ\text{C}$	-30		30	%
电阻温度系数	$\Delta R_{AB}/\Delta T$	游标 = 无连接		35		ppm/°C
游标电阻	RW	$I_W = 1\text{ V}/R_{AB}$		60	150	Ω
通道电阻匹配(仅AD5262)	$\Delta R_{WB}/R_{WB}$	通道1和通道2 RWB， $D_X = 0 \times 80$		0.1		%
电阻漂移	ΔR_{AB}			0.05		%
直流特性—电位计分压器模式		规格适用于所有可变电阻				
分辨率	N		8			Bits
差分非线性 ⁴	DNL		-1	±1/4	+1	LSB
积分非线性 ⁴	INL		-1	±1/2	+1	LSB
分压器温度系数	$\Delta V_W/\Delta T$	代码 = 半量程		5		ppm/°C
满量程误差	W_{FSE}	代码 = 满量程	-2	-1	+0	LSB
零电平误差	V_{WZSE}	代码 = 零电平	0	1	2	LSB
电阻端						
电压范围 ⁵	$V_{A,B,W}$		V_{SS}		V_{DD}	V
Ax和Bx电容 ⁶	$C_{A,B}$	$f = 5\text{ MHz}$ ，针对GND测量， 代码 = 半量程		25		pF
Wx电容 ⁶	C_W	$f = 1\text{ MHz}$ ，针对GND测量， 代码 = 半量程		55		pF
共模漏电流	I_{CM}	$V_A = V_B = V_{DD}/2$		1		nA
关断电流 ⁷	I_{SHDN}				5	μA
数字输入和输出						
输入逻辑高电平	V_{IH}		2.4			V
输入逻辑低电平	V_{IL}				0.8	V
输入逻辑高电平	V_{IH}	$V_L = 3\text{ V}$ ， $V_{SS} = 0\text{ V}$	2.1			V
输入逻辑低电平	V_{IL}	$V_L = 3\text{ V}$ ， $V_{SS} = 0\text{ V}$			0.6	V
输出逻辑高电平(SDO)	V_{OH}	$R_{PULL-UP} = 2\text{ k}\Omega$ 至5 V	4.9			V
输出逻辑低电平(SDO)	V_{OL}	$I_{OL} = 1.6\text{ mA}$ ， $V_{LOGIC} = 5\text{ V}$			0.4	V
输入电流 ⁸	I_{IL}	$V_{IN} = 0\text{ V}$ 或5 V			±1	μA
输入电容 ⁶	C_{IL}			5		pF
电源						
逻辑电源	V_L		2.7		5.5	V
单电源电压范围	$V_{DD\text{ RANGE}}$	$V_{SS} = 0\text{ V}$	4.5		16.5	V
双电源电压范围	$V_{DD/SS\text{ RANGE}}$		±4.5		±5.5	V
逻辑电源电流	I_L	$V_L = 5\text{ V}$			60	μA
正电源电流	I_{DD}	$V_{IH} = 5\text{ V}$ 或 $V_{IL} = 0\text{ V}$			1	μA
负电源电流	I_{SS}	$V_{SS} = -5\text{ V}$			1	μA
功耗 ⁹	P_{DISS}	$V_{IH} = 5\text{ V}$ 或 $V_{IL} = 0\text{ V}$ ， $V_{DD} = +5\text{ V}$ ， $V_{SS} = -5\text{ V}$			0.3	mW
电源灵敏度	PSS	$\Delta V_{DD} = +5\text{ V}$ ，±10%		0.003	0.01	%/%

AD5260/AD5262

参数	符号	条件	最小值	典型值 ¹	最大值	单位
动态特性 ^{6,10}						
-3 dB带宽	BW	$R_{AB} = 20\text{ k}\Omega/50\text{ k}\Omega/200\text{ k}\Omega$		310/130/30		kHz
总谐波失真	THD _W	$V_A = 1\text{ V}_{\text{RMS}}, V_B = 0\text{ V}, f = 1\text{ kHz}$		0.014		%
V_W 建立时间	t_s	$R_{AB} = 20\text{ k}\Omega$ $V_A = +5\text{ V}, V_B = -5\text{ V}, \pm 1\text{ LSB}$		5		μs
串扰 ¹¹	C_T	误差带, $R_{AB} = 20\text{ k}\Omega$ $V_A = V_{DD}, V_B = 0\text{ V}$, 测量 V_W , 相邻RDAC发生满量程代码变化(仅AD5262)		1		nV-sec
模拟串扰	C_{TA}	$V_{A1} = V_{DD}, V_{B1} = 0\text{ V}$, 测量 $V_{W1}, V_{W2} = 5\text{ V p-p}(f = 10\text{ kHz})$, $R_{AB} = 20\text{ k}\Omega/200\text{ k}\Omega$ (仅AD5262)		-64		dB
电阻噪声电压	$e_{N,WB}$	$R_{WB} = 20\text{ k}\Omega, f = 1\text{ kHz}$		13		nV/ $\sqrt{\text{Hz}}$
接口时序特性 ^{6,12}		规格适用于所有器件				
时钟频率	f_{CLK}				25	MHz
输入时钟脉冲宽度	$t_{\text{CH}}, t_{\text{CL}}$	时钟高电平或低电平	20			ns
数据建立时间	t_{DS}		10			ns
数据保持时间	t_{DH}		10			ns
CLK至SDO传播延迟 ¹³	t_{PD}	$R_L = 1\text{ k}\Omega, C_L < 20\text{ pF}$	1		160	ns
$\overline{\text{CS}}$ 建立时间	t_{CSS}		5			ns
$\overline{\text{CS}}$ 高电平脉冲宽度	t_{CSW}		20			ns
复位脉冲宽度	t_{RS}		50			ns
CLK下降到 $\overline{\text{CS}}$ 上升保持时间	t_{CSH}		0			ns
$\overline{\text{CS}}$ 上升到时钟上升建立时间	t_{CS1}		10			ns

¹ 典型值代表25°C且 $V_{DD} = +5\text{ V}$ 、 $V_{SS} = -5\text{ V}$ 时的平均读数。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。器件保证单调性。 $I_W = V_{DD}/R$ 针对 $V_{DD} = +5\text{ V}$ 且 $V_{SS} = -5\text{ V}$ 。

³ $V_{AB} = V_{DD}$, 游标 = 无连接。

⁴ INL和DNL在 V_W 处测得, 条件是将RDAC配置为类似于电压输出数模转换器的电位分压器。 $V_A = V_{DD}$ 且 $V_B = 0\text{ V}$ 。单调性工作条件保证DNL规格限值为 $\pm 1\text{ LSB}$ (最大值)。

⁵ 通过设计保证, 但未经生产测试。

⁶ 对Ax端进行测量。关断模式下所有Ax端处于开路状态。

⁷ 典型值代表25°C且 $V_{DD} = +5\text{ V}$ 、 $V_{SS} = -5\text{ V}$ 时的平均读数。

⁸ 当所有逻辑输入电平设为2.4V时, 消耗的电源电流最大, 这是CMOS逻辑的标准特性。

⁹ P_{DISS} 可通过 $(I_{DD} \times V_{DD})$ 计算。CMOS逻辑电平输入实现最小功耗。

¹⁰ 所有动态特性均采用 $V_{DD} = +5\text{ V}$ 、 $V_{SS} = -5\text{ V}$ 、 $V_L = +5\text{ V}$ 。

¹¹ 在 V_W 处测量, 相邻VW发生满量程电压变化。

¹² 测得值的位置见图5。所有输入控制电压均指定 $t_r = t_f = 2\text{ ns}$ (10%到90%, 3V)并从1.5V电平起开始计时。开关特性利用 $V_L = 5\text{ V}$ 进行测量。

¹³ 传播延迟取决于 V_{DD} 、 R_L 和 C_L 的值。

时序图

表2. AD5260 8位串行数据字格式

数据							
B7 (MSB)	B6	B5	B4	B3	B2	B1	B0 (LSB)
D7	D6	D5	D4	D3	D2	D1	D0
2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0

表3. AD5262 9位串行数据字格式

地址	数据							
B8	B7 (MSB)	B6	B5	B4	B3	B2	B1	B0 (LSB)
A0	D7	D6	D5	D4	D3	D2	D1	D0
2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0

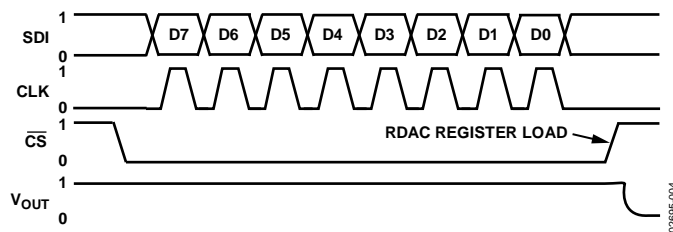


图3. AD5260时序图

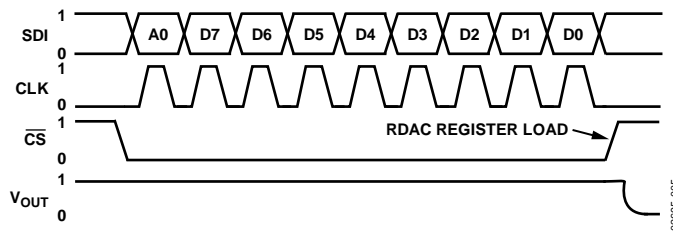


图4. AD5262时序图

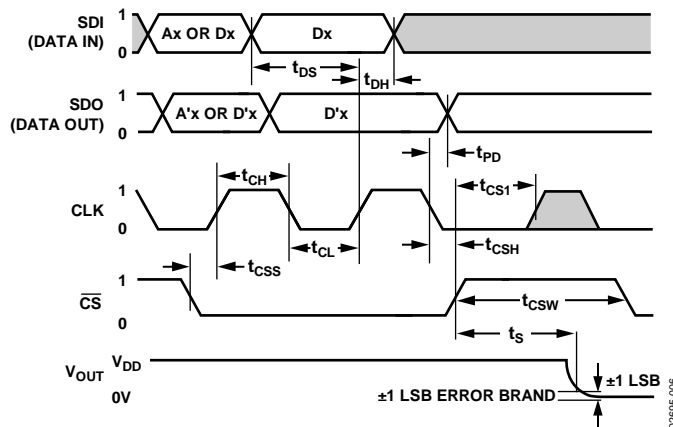


图5. 详细时序图

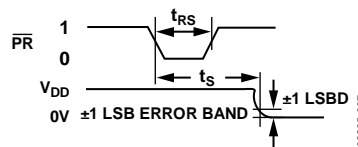


图6. 预设时序图

AD5260/AD5262

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
V_{DD} 至GND	-0.3 V至+17 V
V_{SS} 至GND	0 V至-7 V
V_{DD} 至 V_{SS}	17 V
V_L 至GND	0 V至+7 V
V_A 、 V_B 、 V_W 至GND	V_{SS} 、 V_{DD}
A_X 至 B_X 、 A_X 至 W_X 、 B_X 至 W_X 间歇 ¹	±20 mA
连续	±5 mA
数字输入和输出电压至GND	-0.3 V至 $V_L + 0.3$ V或+7 V (取较小者)
工作温度范围	-40°C至+85°C
最大结温(T_{JMAX})	150°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 10秒)	300°C
气相(60秒)	215°C
红外(15秒)	220°C
热阻 ² θ_{JA}	
14引脚TSSOP	206°C/W
16引脚TSSOP	150°C/W

¹ 最大端电流受以下几个方面限制：开关的最大电流处理能力、封装的最大功耗以及给定电阻设置条件下可在A、B和W端中任意两个之间施加的最大电压。

² 封装功耗 = $(T_{JMAX} - T_A) / \theta_{JA}$ 。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

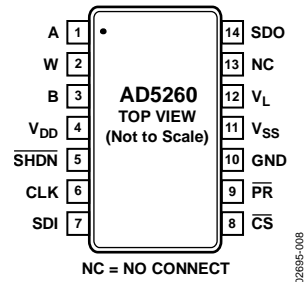


图7. AD5260引脚配置

表5. AD5260引脚功能描述

引脚编号	引脚名称	描述
1	A	A端。
2	W	游标端。
3	B	B端。
4	V _{DD}	正电源。额定工作电压：5 V或15 V ($ V_{DD} + V_{SS} \leq 15 V$)。
5	$\overline{\text{SHDN}}$	低电平输入有效。A端开路。关断控制可变电阻。
6	CLK	串行时钟输入，正边沿触发。
7	SDI	串行数据输入。
8	$\overline{\text{CS}}$	片选输入，低电平有效。 $\overline{\text{CS}}$ 返回高电平时，数据加载至RDAC寄存器。
9	$\overline{\text{PR}}$	低电平有效预设至中间电平。RDAC寄存器设置为0x80。
10	GND	地。
11	V _{SS}	负电源。额定工作电压：0 V至-5 V。
12	V _L	逻辑电源电压。需与控制AD5260的数字逻辑电压相同。
13	NC	不连接。除伪焊盘外，此引脚不应连接任何其它电路。
14	SDO	串行数据输出。开漏晶体管需要上拉电阻。

AD5260/AD5262

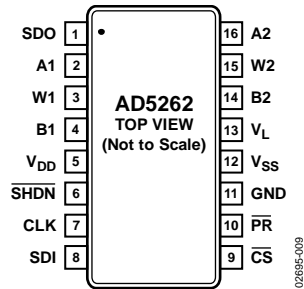


图8. AD5262引脚配置

表6. AD5262引脚功能描述

引脚编号	引脚名称	描述
1	SDO	串行数据输出。开漏晶体管需要上拉电阻。
2	A1	A端RDAC 1。
3	W1	游标RDAC 1，地址A0 = 0。
4	B1	B端RDAC 1。
5	V _{DD}	正电源。额定工作电压：5 V或15 V ($ V_{DD} + V_{SS} \leq 15 \text{ V}$)。
6	SHDN	低电平输入有效。A端开路。关断控制可变电阻1至电阻R2。
7	CLK	串行时钟输入，正边沿触发。
8	SDI	串行数据输入。
9	$\overline{\text{CS}}$	片选输入，低电平有效。当 $\overline{\text{CS}}$ 回到高电平时，串行输入寄存器中的数据基于地址位A0进行解码，并载入目标RDAC寄存器。
10	$\overline{\text{PR}}$	低电平有效预设至中间电平。RDAC寄存器设置为0x80。
11	GND	地。
12	V _{SS}	负电源。额定工作电压：0 V或-5 V ($ V_{DD} + V_{SS} < 15 \text{ V}$)。
13	V _L	逻辑电源电压。需与控制AD5262的数字逻辑电压相同。
14	B2	B端RDAC 2。
15	W2	游标RDAC 2，地址A0 = 1。
16	A2	A端RDAC 2。

典型工作特性

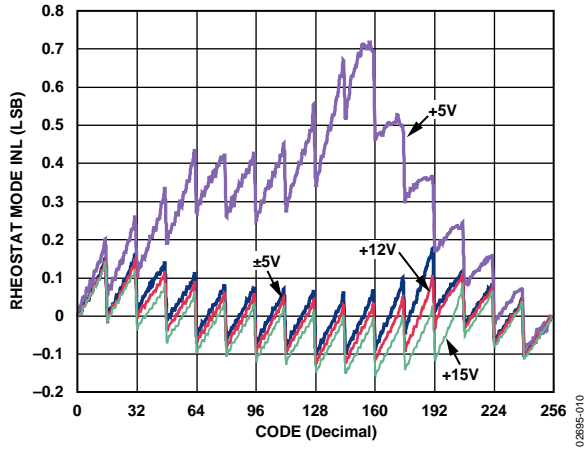


图9. R-INL与代码和电源电压的关系

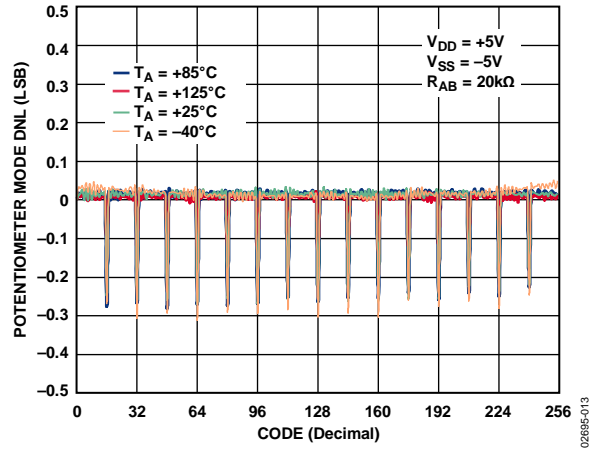


图12. DNL与代码的关系

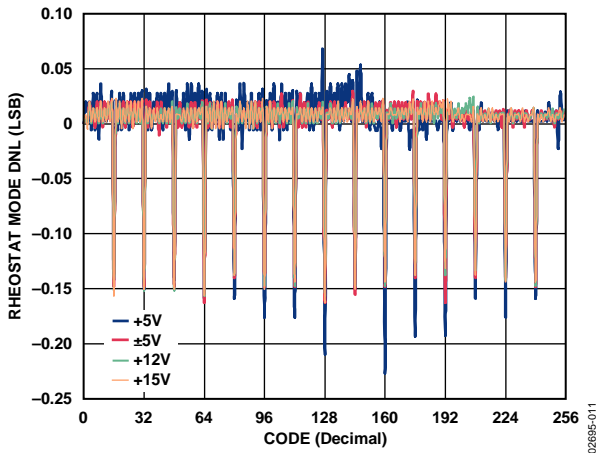


图10. R-DNL与代码和电源电压的关系

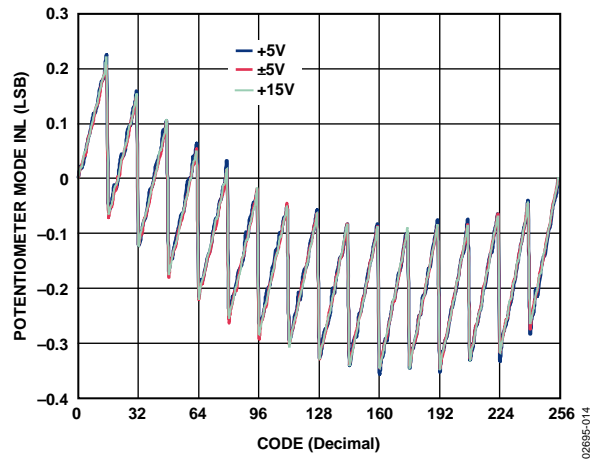


图13. INL与代码和电源电压的关系

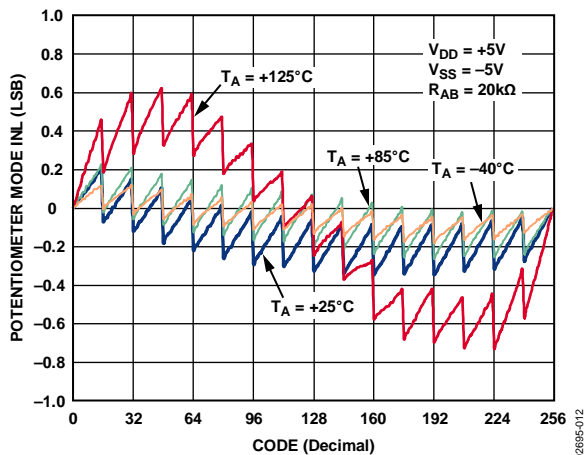


图11. INL与代码的关系

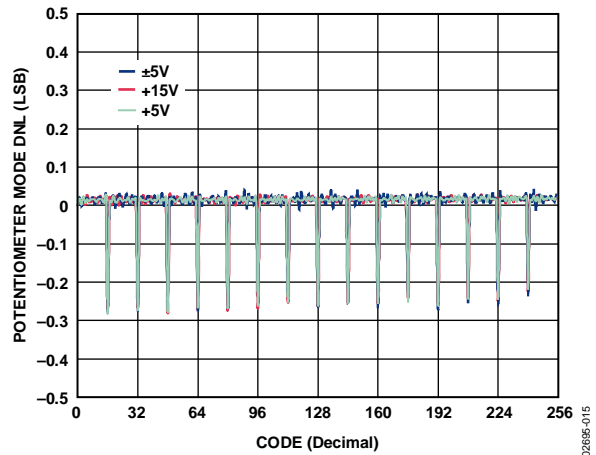


图14. DNL与代码和电源电压的关系

AD5260/AD5262

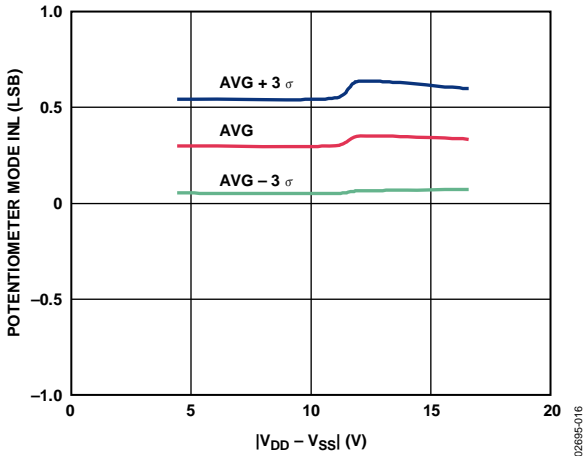


图15. INL与电源电压的关系

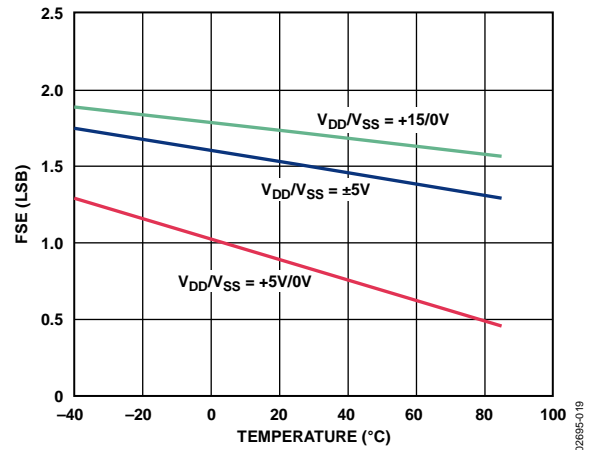


图18. 满量程误差与温度的关系

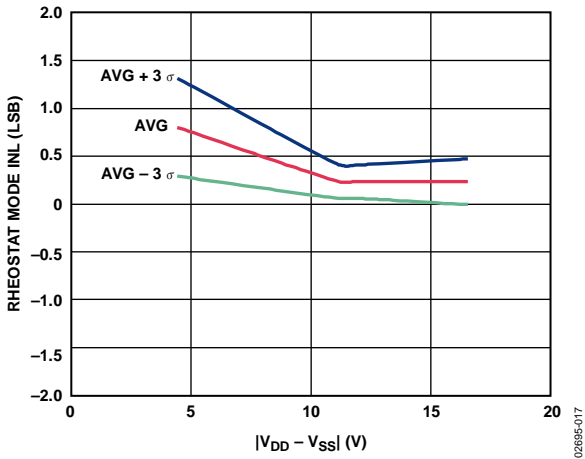


图16. R-INL与电源电压的关系

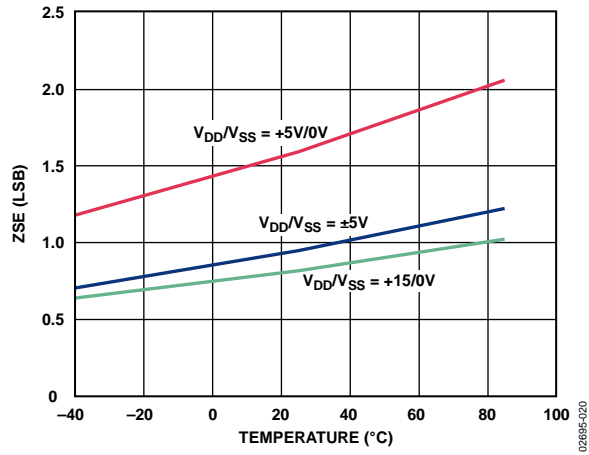


图19. 零电平误差与温度的关系

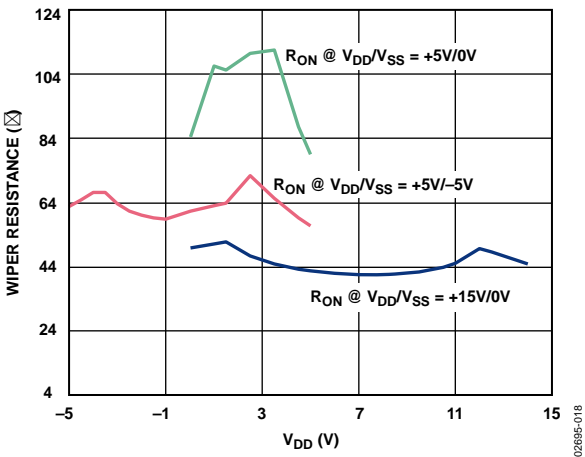


图17. 游标导电电阻与偏置电压的关系

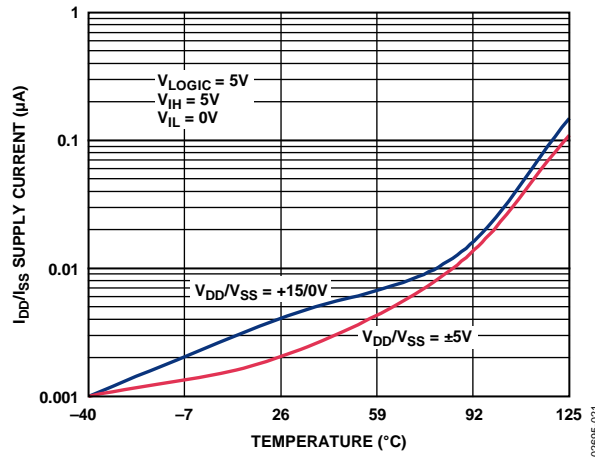


图20. 电源电流与温度的关系

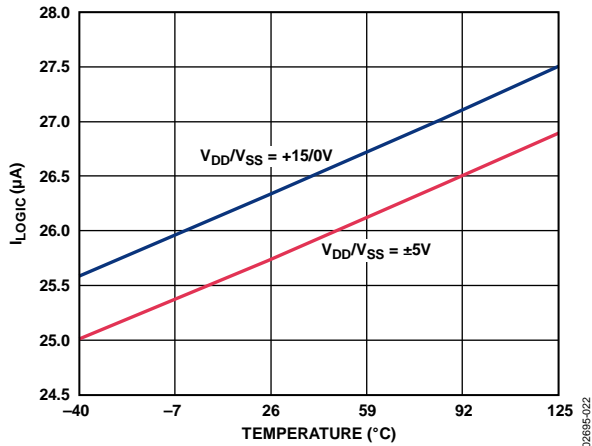


图21. I_{LOGIC} 与温度的关系

02685-022

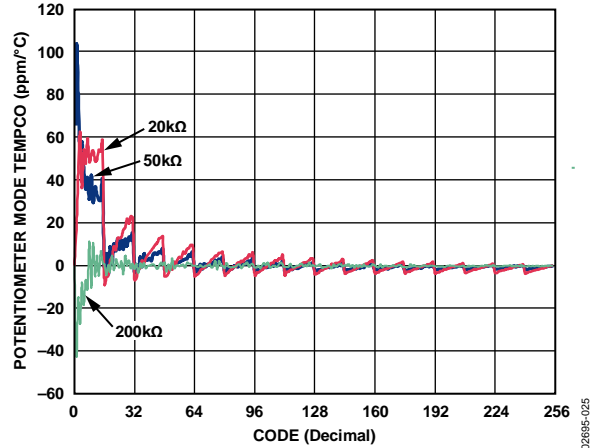


图24. 电位计模式温度系数 $\Delta V_{WB}/\Delta T$ 与代码的关系

02685-025

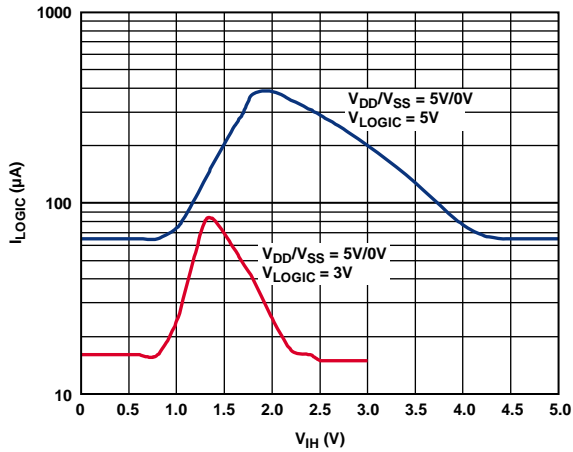


图22. I_{LOGIC} 与数字输入电压的关系

02685-023

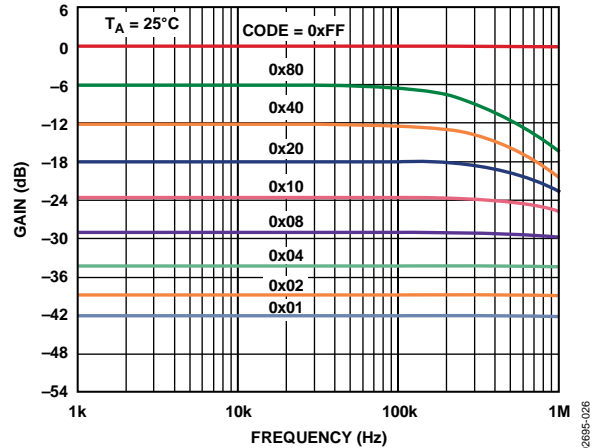


图25. 增益与频率和代码的关系, $R_{AB} = 20\text{ k}\Omega$

02685-026

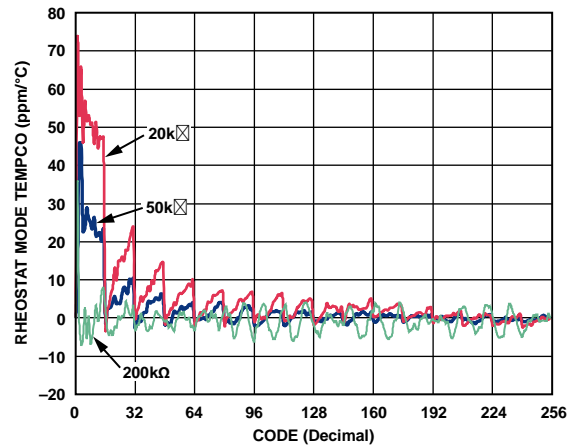


图23. 可变电阻器模式温度系数 $\Delta R_{WB}/\Delta T$ 与代码的关系

02685-024

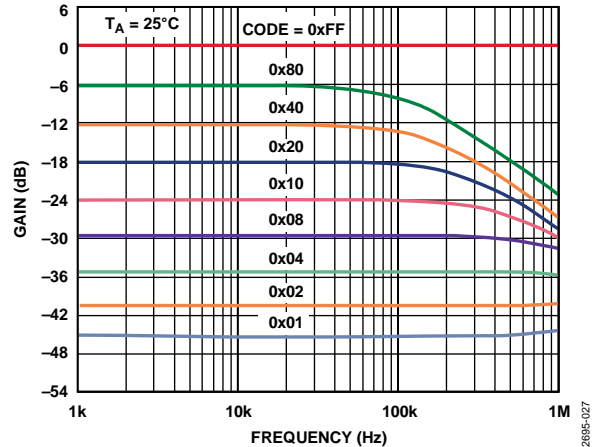


图26. 增益与频率和代码的关系, $R_{AB} = 50\text{ k}\Omega$

02685-027

AD5260/AD5262

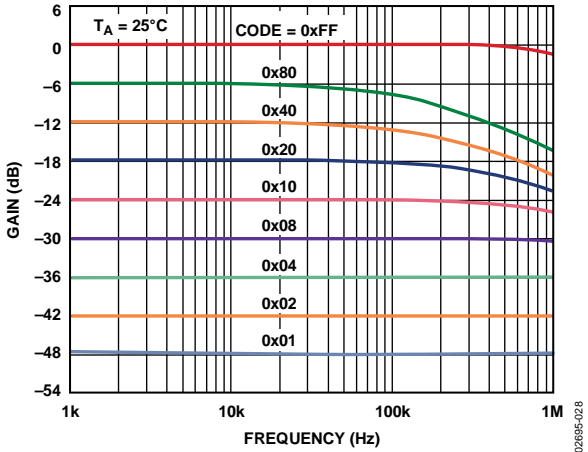


图27.增益与频率和代码的关系, $R_{AB} = 200\text{ k}\Omega$

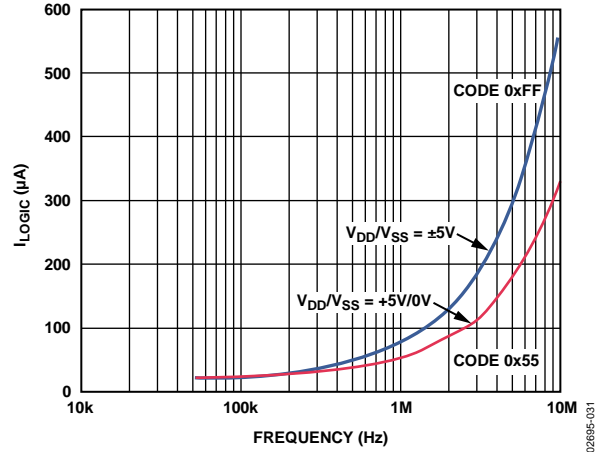


图30. I_{LOGIC} 与频率的关系

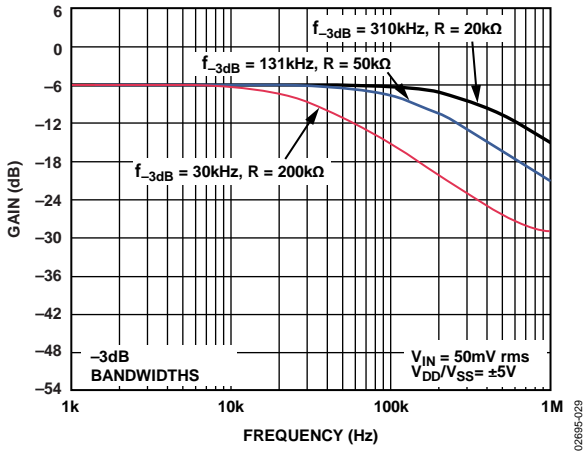


图28. -3 dB带宽

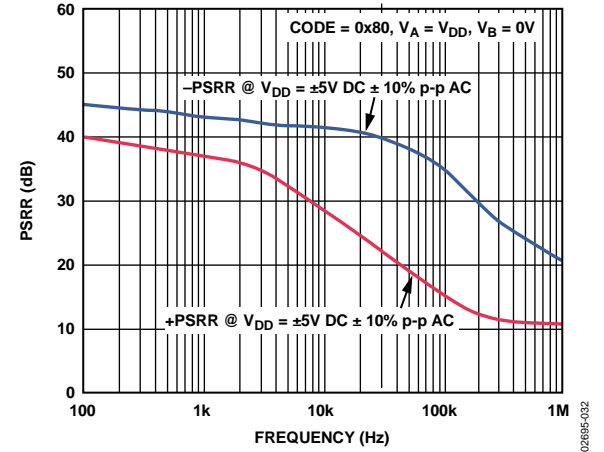


图31. PSRR与频率的关系

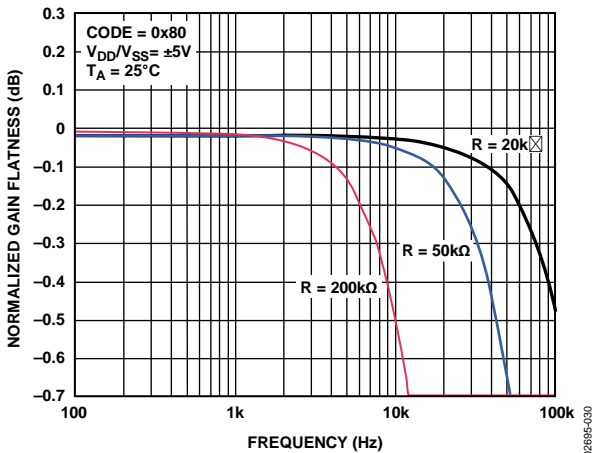


图29. 归一化增益平坦度与频率的关系

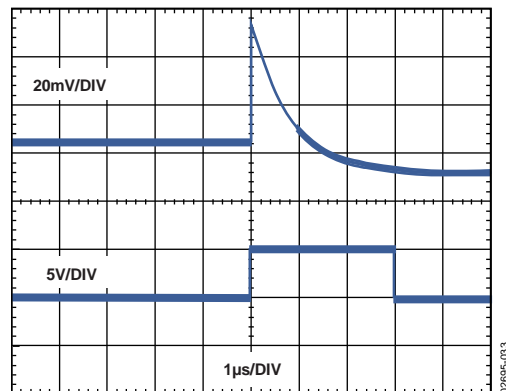


图32. 中间电平毛刺能量, 代码0x80至0x7F

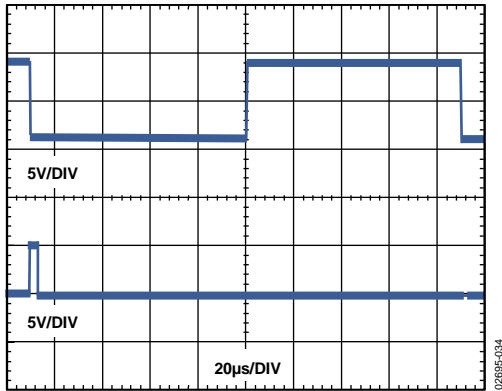


图33. 大信号建立时间

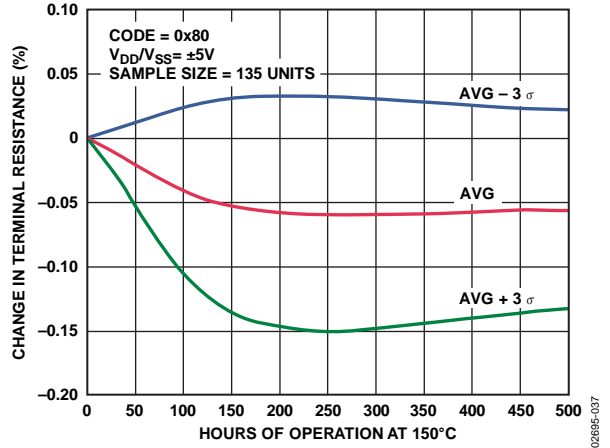


图36. 长期电阻漂移

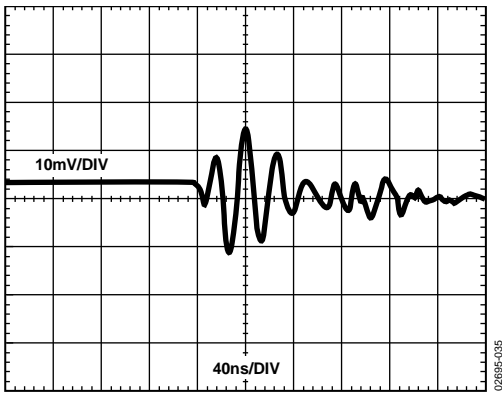


图34. 数字锁通与时间的关系

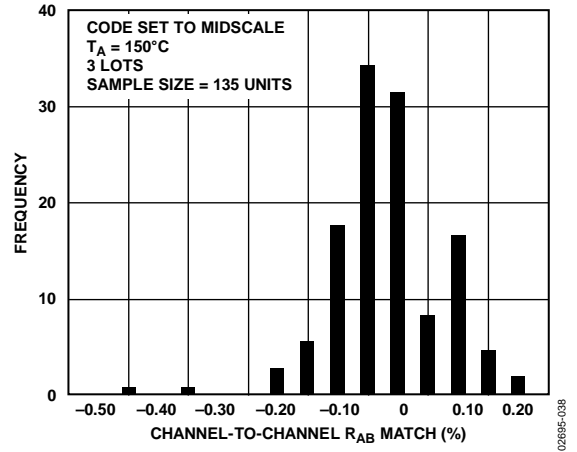


图37. 通道间电阻匹配(AD5262)

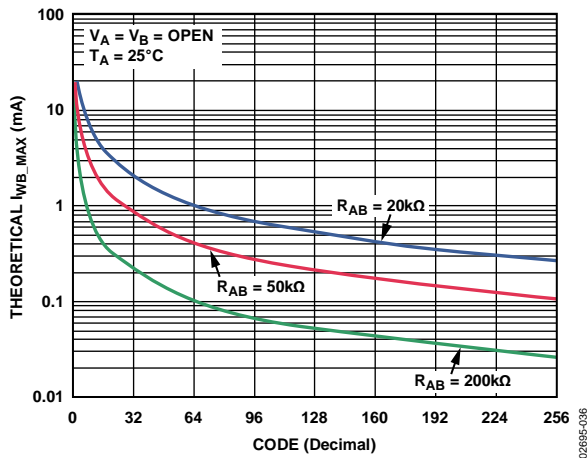


图35. 最大理论电流与代码的关系

测试电路

图38至图46定义了表1使用的测试条件。

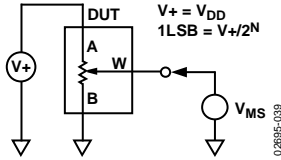


图38. 电位分压器非线性误差 (INL, DNL)

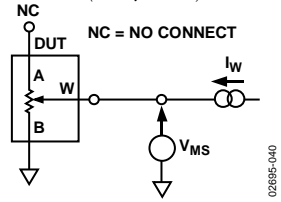


图39. 电阻位置非线性误差 (可变电阻器操作; R-INL, R-DNL)

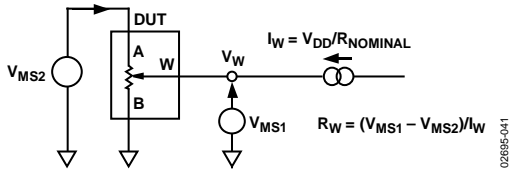


图40. 游标电阻

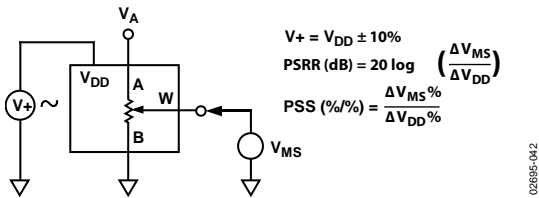


图41. 电源灵敏度 (PSS, PSRR)

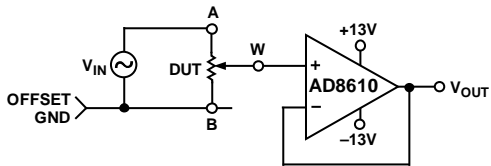


图42. 增益与频率的关系

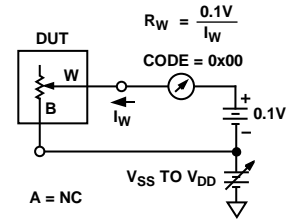


图43. 增量导通电阻

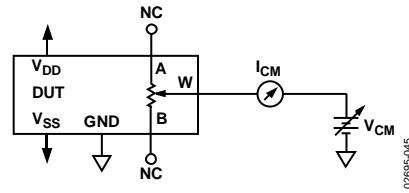


图44. 共模漏电流

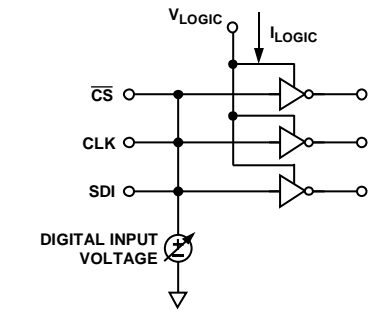


图45. V_{LOGIC} 电流与数字输入电压的关系

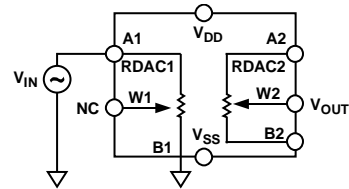


图46. 模拟串扰

工作原理

AD5260/AD5262分别是单/双通道、256位、数字控制可变电阻(VR)器件，工作电压最高可达15 V。更改VR编程设置是通过将8/9位串行数据字送入SDI(串行数据输入)引脚来实现。对于AD5262，此数据字的格式中包含一个地址位。A0代表第一位B8，后面是8个数据位B7至B0，MSB优先。表2和表3给出了串行寄存器数据字格式。AD5262的地址分配见表7，由此可确定接收位B7至B0中的串行寄存器数据的VR锁存器的位置。VR输出可以随机更改，一次一个。AD5260/AD5262预设为中间电平，以便简化上电时的故障状况恢复。也可以随时置位PR引脚来实现中间电平。两款器件均内置上电预设功能，可在上电时将游标置于中间电平预设状态。上电预设功能的操作仅取决于VL引脚的状态。

AD5260/AD5262具有电源关断SHDN引脚，用于将RDAC置于几乎零功耗的状态，其中Ax端开路，游标W连接到B端，使得VR结构仅消耗漏电流。在关断模式下，VR锁存器设置得以保持，当器件从电源关断回到工作模式时，VR设置恢复以前的电阻值。

表7. AD5262地址解码表

A0	载入锁存器
0	RDAC1
1	RDAC2

数字接口

AD5260/AD5262配有四线式SPI兼容型数字接口(SDI、SDO、CS和CLK)。对于AD5260，8位串行字必须以MSB优先方式加载。字格式如表2所示。对于AD5262，9位串行字必须先载入地址位A0，然后载入数据的MSB。字格式如表3所示。

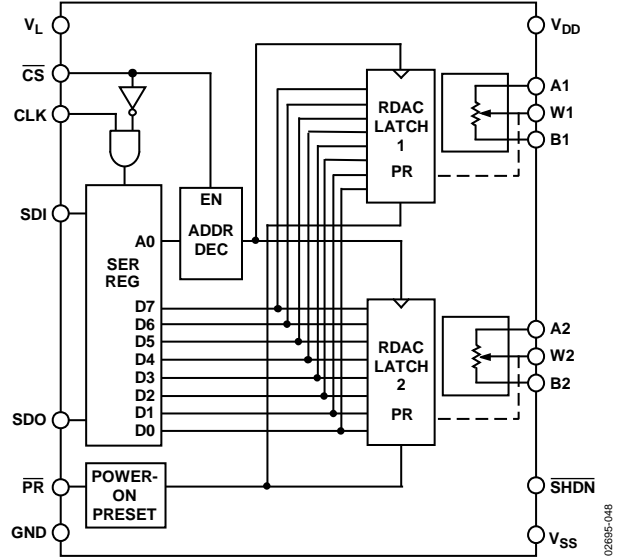


图47. AD5262功能框图

正边沿敏感型CLK输入需要干净的转换，以免将错误数据送入串行输入寄存器。标准逻辑系列非常合适。如果使用机械开关进行产品评估，应通过正反器或其它合适的途径去抖。图47更详细地显示了内部数字电路的细节。当CS为低电平时，数据在每个正时钟沿读入串行输入寄存器(见表8)。

表8. 真值表¹

CLK	CS	PR	SHDN	寄存器活动
低电平	低电平	高电平	高电平	无SR效应，使能SDO引脚。
↑	低电平	高电平	高电平	从SDI引脚移入一位。先前输入的第8位从SDO引脚移出。
X	↑	高电平	高电平	将SR数据载入RDAC锁存器。
X	高电平	高电平	高电平	无操作。
X	X	低电平	高电平	将所有RDAC锁存器设置到半量程，游标居中，SDO锁存器清零。
X	高电平	↑	高电平	将所有RDAC锁存器锁存为0x80。
X	高电平	高电平	低电平	所有电阻A端开路，W端连接到B端，关闭SDO输出晶体管。

¹ ↑ = 正边沿，X = 无关，SR = 移位寄存器。

数据有效时间要求取决于表1中的数据建立时间和数据保持时间。当CS线路回到逻辑高电平时，AD5260使用传输到内部RDAC寄存器的8位串行输入数据寄存器字。对于AD5262，当CS变为高电平时，输入串行寄存器的数据字的最后9位被保持。多余的位被忽略。在CS变为高电平时，地址解码器选通，两个正边沿触发的AD5262 RDAC锁存器中的一个使能(见图48)。

AD5260/AD5262

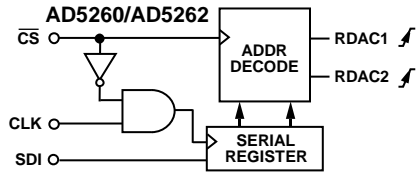


图 48. 等效输入控制逻辑

目标RDAC锁存器加载串行数据字的最后8位，完成一次RDAC更新。对于AD5262，要更改2个VR设置，必须输入2个独立的9位数据字。

关断期间($\overline{\text{SHDN}}$)，SDO输出引脚进入关断(逻辑高电平)状态，使上拉电阻不产生功耗。SDO等效输出电路见图49。

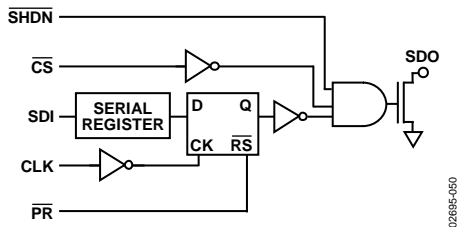


图 49. AD5260的SDO输出详细原理图

所有数字输入都受串联输入电阻和并联齐纳ESD结构的保护，如图50所示。此结构适用于数字输入引脚 $\overline{\text{CS}}$ 、SDI、SDO、 $\overline{\text{PR}}$ 、 $\overline{\text{SHDN}}$ 和CLK。

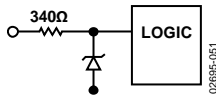


图 50. 数字引脚的ESD保护

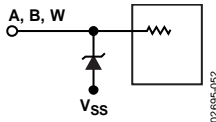


图 51. 电阻端子的ESD保护

菊花链操作

串行数据输出(SDO)引脚内置一个开漏N沟道FET，需要一个上拉电阻将数据传输到下一个包的SDI引脚。这样，单条处理器串行数据线就可以通过菊花链连接多个RDAC。该上拉电阻的端电压可以大于VDD电源电压。使用上拉电阻并将其连接到下一串联器件的SDI引脚时，建议增大时钟周期，因为连接器件之间的SDO和SDI的菊花链节点上的容性负载可能会给后续器件带来时间延迟。为实现数据的成功传输，用户应意识到这个潜在问题(见图52)。如果两个AD5260以菊花链连接，则总共需要16位数据。前8位(符合表2所示格式)进入U2，相同格式的后8位则进入U1。 $\overline{\text{CS}}$ 引脚应保持低电平，直到

到所有16位均输入相应的串行寄存器，然后将 $\overline{\text{CS}}$ 引脚拉高以完成操作。

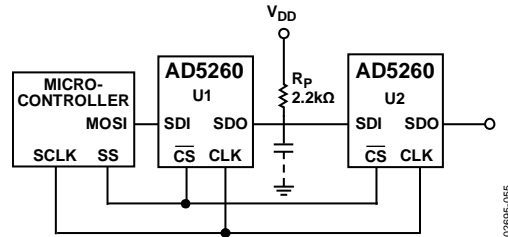


图 52. 菊花链配置

RDAC结构

RDAC包含一系列等值电阻段，模拟开关阵列用作游标连接。位置的数量就是器件的分辨率。AD5260/AD5262有256个连接点，可提供0.4%以上的可设置分辨率。图53显示了构成RDAC一个通道的三端之间的等效连接结构。SW_A和SW_B始终接通，开关SW(0)至SW(2^N-1)则是每次只有一个接通，具体取决于数据位解码得到的电阻位置。开关并非理想元件，存在60 Ω的游标电阻R_w。游标电阻与电源电压和温度相关。电源电压越低，游标电阻越大。同样，温度越高，游标电阻越大。需要精确预测输出电阻时，用户应注意游标电阻的影响。

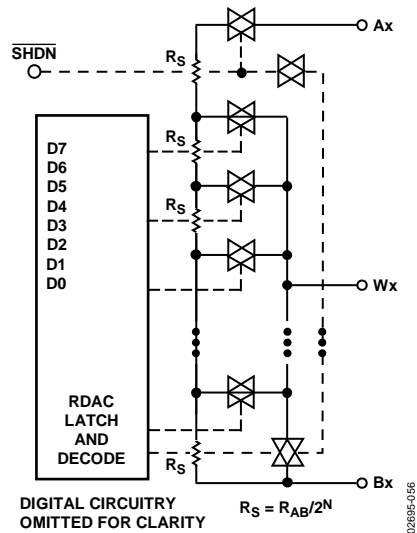


图 53. RDAC简化架构

可变电阻编程

变阻器操作

A端和B端间RDAC的标称电阻有三种：20 kΩ、50 kΩ和200 kΩ。产品型号的最后三位决定标称电阻值，例如：20 kΩ = 20，50 kΩ = 50，200 kΩ = 200。可变电阻的标称电阻(R_{AB})有256个触点，通过游标端和B端触点访问。

RDAC锁存器中的8位数据经过解码，用于选择256种可能的设置之一。假设外接一个20 kΩ的器件，对于数据0x00，游标的首个连接从B端开始。由于存在一个60 Ω游标接触电阻，这种连接导致W端和B端之间至少有60 Ω电阻。第二个连接是第一个抽头点，数据0x01对应电阻为138 Ω ($R_{WB} = R_{AB}/256 + R_W = 78 \Omega + 60 \Omega$)。第三个连接是下一个抽头点，数据0x02对应电阻为216 Ω ($78 \times 2 + 60$)，以此类推。随着每个LSB数据值的增加，游标沿电阻梯向上移动，直至到达最终抽头点位置，此时电阻达19,982 Ω ($R_{AB} - 1 \text{ LSB} + R_W$)。游标不直接连接到B端。图53给出了RDAC等效电路的简化图。

确定W端和B端间的数字编程输出电阻的通用公式是

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad (1)$$

其中，D为载入8位RDAC锁存器的二进制代码的十进制等效值， R_{AB} 为标称端到端电阻。

例如，如果 $R_{AB} = 20 \text{ k}\Omega$ 、 $V_B = 0 \text{ V}$ 且A端处于开路状态，那么对于表9所示的RDAC锁存码，将设置下列输出电阻值 R_{WB} 。如果A端连接到W端，结果相同。

表9. R_{WB} 与代码的关系

RDAC(十进制)	$R_{WB}(\Omega)$	输出状态
256	19,982	满量程($R_{AB} - 1 \text{ LSB} + R_W$)
128	10,060	中间电平
1	138	1 LSB
0	60	零电平(游标触点电阻)

请注意：在零电平条件下，存在60 Ω的有限游标电阻。此状态下要将W端和B端之间的电流流动限制在20 mA以下，以免性能下降或内部开关损坏。

与RDAC所取代的机械电位计相似，AD5260/AD5262完全对称，游标W和A端间的电阻也产生一个数字可控互补电阻 R_{WA} 。图54显示了不同端子连接的对称编程情况。使用 R_{WA} 时，可以将B端悬空或连接到游标。 R_{WA} 电阻值设置从最大电阻值开始，随着锁存器所加载的数据值增加而降低。此操作的通用公式是

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad (2)$$

例如，如果 $R_{AB} = 20 \text{ k}\Omega$ 、 $V_A = 0 \text{ V}$ 且B端处于开路状态，那么对于表10所示的RDAC锁存码，将设置下列输出电阻值 R_{WA} 。如果B端连接到W端，结果相同。

表10. R_{WA} 与代码的关系

RDAC(十进制)	$R_{WA}(\Omega)$	输出状态
256	60	满量程
128	10,060	半量程
1	19,982	1 LSB
0	20,060	零电平

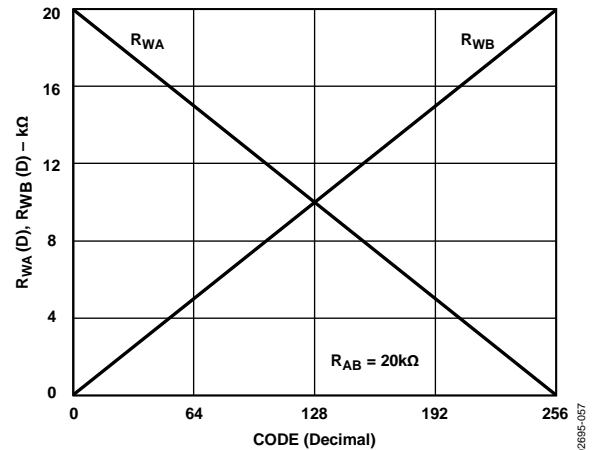


图54. AD5260/AD5262等效RDAC电路

通道间标称电阻 R_{AB} 的典型分布的匹配度在±1%以内。器件间匹配度依工艺批次而定，最差情况的变化幅度为±30%。然而，由于电阻元件经薄膜技术处理， R_{AB} 温度系数为35 ppm/°C，变化非常小。

电位计分压器编程 电压输出操作

数字电位计很容易在游标至B和游标至A处产生输出电压，该电压与A至B处的输入电压成比例。忽略游标电阻的影响。例如，A端接至5 V且B端接至地后，游标与B端产生输出电压，从0 V开始至5 V以下1 LSB。电压每个LSB等于经过256位电位分压器分压的A端与B端间的电压。由于AD5260/AD5262采用双电源供电，因此针对A端和B端间施加的任何输入电压， V_W 处相对于地的输出电压定义为

$$V_W(D) = \frac{D}{256} \times V_{AB} + V_B \quad (3)$$

在分压器模式下使用数字电位计，可提高整个温度范围内的操作精度。与可变电阻模式不同，输出电压取决于内部电阻之比(R_{WA} 与 R_{WB})，而不是绝对值，因此漂移降至5 ppm/°C。

AD5260/AD5262

布局布线和电源旁路

使用紧凑且引线长度最短的布局设计是一种较好的做法。连接到输入端的引线应尽可能保持直线，使导体长度最短。接地路径应具有低电阻、低电感。

同样，采用优质电容将电源旁路以达到最佳稳定性也是较好的做法。要实现器件的电源引脚旁路，应采用0.01 μF 至0.1 μF 的盘式或片式陶瓷电容。电源处也应当运用低ESR 1 μF 至10 μF 钽电容或电解电容，以便尽可能减少瞬态干扰(见图55)。请注意，数字地也应连接到远程模拟地，以尽量减少接地反弹。

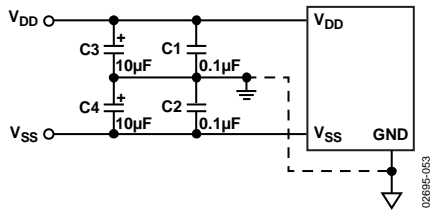


图55. 电源旁路

端电压范围

AD5260/AD5262的正电源 V_{DD} 和负电源 V_{SS} 界定了三端数字电位计正确操作的边界条件。A端、B端和W端超出 V_{DD} 或 V_{SS} 的电源信号由内部正偏二极管进行箝位(如图56所示)。

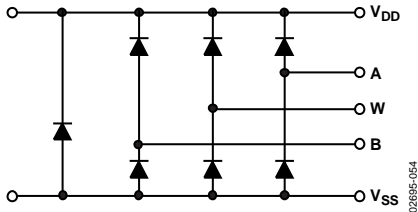


图56. 由 V_{DD} 和 V_{SS} 设置的最大端电压

AD5260/AD5262的地引脚主要用作数字接地基准，需要连接到PCB的公共地。AD5260/AD5262的数字输入控制信号必须以器件接地引脚(GND)为基准，并且必须满足表1规定的逻辑电平。内部电平移位电路确保三个端的共模电压范围为 V_{SS} 至 V_{DD} ，而不受数字输入电平影响。

上电时序

由于有二极管来限制A端、B端和W端(见图56)的顺从电压，因此必须先给 V_{DD}/V_{SS} 供电，然后再向A端、B端和W端施加电压。否则，二极管可能正偏，以致 V_{DD}/V_{SS} 意外上电，影响用户电路的其余部分。理想的上电顺序如下： GND 、 V_{DD} 、 V_{SS} 、 V_L 、数字输入和 $V_A/V_B/V_W$ 。只要在 V_{DD}/V_{SS} 之后上电， V_A 、 V_B 、 V_W 和数字输入的上电顺序就无关紧要。

RDAC电路仿真模型

RDAC的交流特性主要由内部寄生电容和外部容性负载决定。用作电位分压器时，AD5260(20 k Ω 电阻)的-3 dB带宽在半量程下测得为310 kHz。图28给出了20 k Ω 、50 k Ω 和200 k Ω 三种可用电阻版本的大信号波特图。寄生效应仿真模型如图57所示。下一部分提供20 k Ω RDAC的宏模型网络列表。

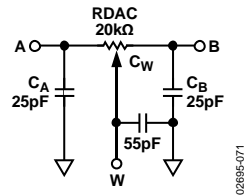


图57. RDAC电路仿真模型(RDAC 20 k Ω)

RDAC的宏模型网络列表

```
PARAM D=256, RDAC=20E3
*
SUBCKT DPOT (A,W,B)
*
CA          A          0          25E-12
RWA         A          W          {(1-D/256)*RDAC+60}
CW         W          0          55E-12
RWB         W          B          {D/256*RDAC+60}
CB         B          0          25E-12
*
.ENDS DPOT
```

应用信息

采用双电源的双极性直流或交流操作

AD5260/AD5262可以采用双电源供电，从而控制以地为基准的交流信号或实现双极性操作。可以将高达 V_{DD}/V_{SS} 的交流信号直接施加于A端和B端，输出从W端获得。图58所示为典型电路连接。

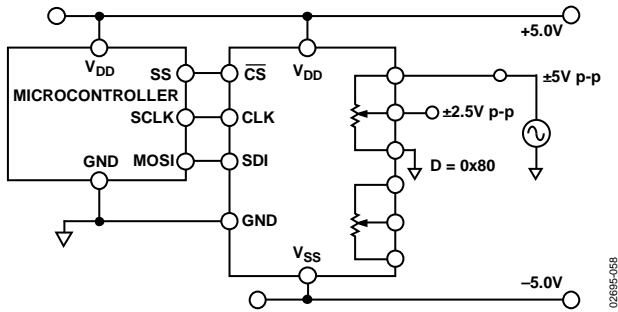


图58. 采用双电源的双极性操作

增益控制补偿

在增益控制中，数字电位计常被用作同相增益放大器，如图59所示。

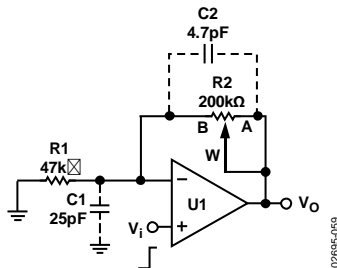


图59. 典型同相增益放大器

注意，当RDAC B端寄生电容连接到运放同相节点时，它会给+20 dB/dec的 $1/\beta\omega$ 项引入一个零点，而典型运放的增益带宽积(GBP)具有-20 dB/dec特性。大 R_2 和有限 C_1 会导致此零点的频率远低于交越频率。因此，逼近速率变为40 dB/dec，系统在交越频率的相位裕量为0。如果输入为矩形脉冲或阶跃函数，则输出可能振铃或振荡。类似地，在两个增益值间切换时，输出也可能振铃，因为这等效于输入端产生阶跃变化。

根据运放的GBP，降低反馈电阻可以提高零点频率以克服这个问题。然而，更好的办法是使用补偿电容 C_2 来抵消 C_1 的影响。当 $R_1 \times C_1 = R_2 \times C_2$ 时，补偿效果最佳。但是， R_2 的差异使这个方案不可行。因此，可以使用关系式 $R_1 \times C_1 = R_2 \times C_2$ 并调整 C_2 ，就像 R_2 为最大值一样。当 R_2 值较小时，这样做可能会补偿过度，性能会略

受影响。然而，它可以避免最差情况下的振铃或振荡。对于重要的应用， C_2 应根据经验确定以满足需要。一般而言，数pF至数十pF的 C_2 足以执行补偿。

同样，输出端也连着W端和A端电容(图中未显示)。幸运的是，该节点的影响不太大，多数情况下无需补偿。

可编程基准电压

对于分压器工作模式，如图60所示，一般需要缓冲数字电位计的输出，除非负载远大于 R_{WB} 。缓冲不仅起到阻抗转换的作用，而且支持驱动更大的负载。

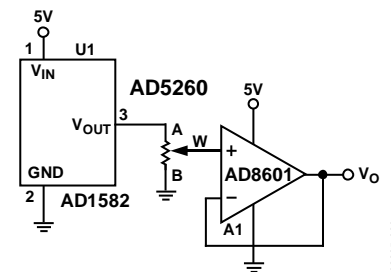


图60. 可编程基准电压源

8位双极性DAC

图61所示为一个低成本8位双极性DAC。与传统DAC相比，它能够提供更数量的可调阶跃，但精度较低。线性度和温度系数(特别是在低值代码时)由于数字电位计游标电阻的影响而偏斜。此电路的输出为：

$$V_o = \left(\frac{2D}{256} - 1 \right) \times V_{REF} \quad (4)$$

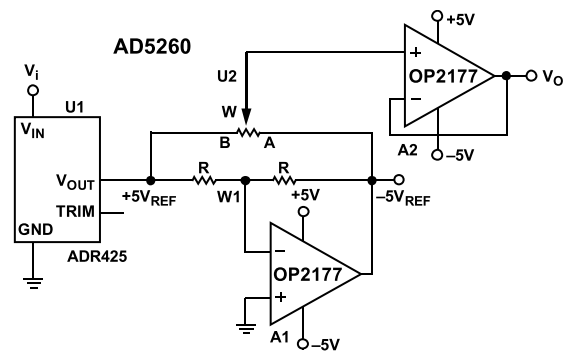


图60. 可编程基准电压源

AD5260/AD5262

双极性可编程增益放大器

对于需要双极性增益的应用，图62给出了一个例子。数字电位计U1设置调整范围。因此，在给定的U2设置下，W2处的游标电压可以在 V_i 到 $-KV_i$ 的范围内设置。将A2配置为同相模式以支持线性增益和衰减。传递函数为：

$$\frac{V_o}{V_i} = \left(1 + \frac{R2}{R1}\right) \times \left(\frac{D2}{256} \times (1 + K) - K\right) \quad (5)$$

其中，K为U1设置的 R_{WB1} 与 R_{WA1} 之比。

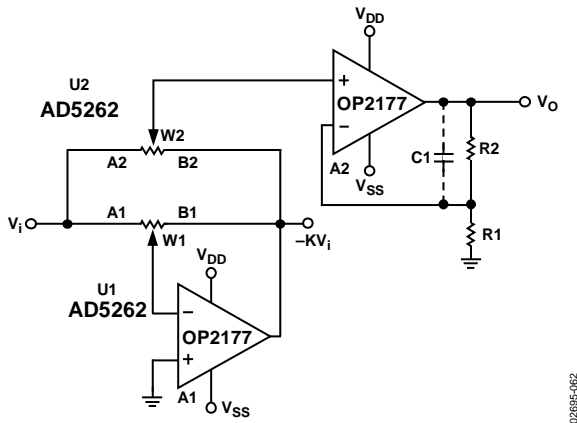


图62. 双极性可编程增益放大器

与上例相似，在更简单及更常见的情况下，即 $K = 1$ ，仅使用一个数字电位计AD5260，U1由一对匹配电阻取代，以在数字电位计的端部施加 V_i 和 $-V_i$ 。关系变成

$$V_o = \left(1 + \frac{R2}{R1}\right) \left(\frac{2D2}{256} - 1\right) \times V_i \quad (6)$$

如果R2较大，可能需要数pF的补偿电容以避免增益峰化。

表11显示了A2配置为单位增益、2倍增益和10倍增益时调整D的结果。结果形成一个双极性放大器，带线性可编程增益和256阶跃分辨率。

表11. 双极性增益放大器的结果

D	R1 = ∞, R2 = 0	R1 = R2	R2 = 9 × R1
0	-1	-2	-10
64	-0.5	-1	-5
128	0	0	0
192	+0.5	+1	+5
255	+0.968	+1.937	+9.680

利用升压输出实现可编程电压源

对于需要高电流调整的应用，如激光二极管驱动器或可调谐激光器，可以考虑使用升压源(见图63)。

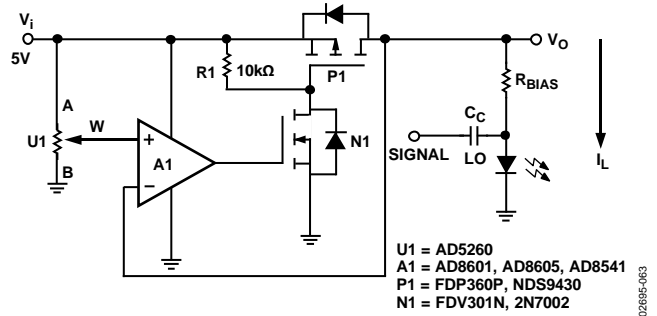


图63. 可编程升压源

此电路中，运算放大器的反相输入端迫使 V_O 等于数字电位计设置的游标电压。然后，电源通过P沟道FET P1提供负载电流。N沟道FET N1简化了运放的驱动要求。A1必须为轨到轨输入型。电阻R1用于防止P1在开启后关闭。选择R1须权衡其功率损耗与输出关断时间。N1可以是任何通用信号FET。然而，P1在饱和状态下驱动，因此，它必须能够处理 $(V_i - V_o) \times I_L$ 的功率。采用5 V电源时，此电路最大可提供100 mA电流。使用更大封装的P1可以实现更高的电流。注意，一个N沟道FET就可以取代P1、N1和R1三者。然而，输出摆幅受限，除非使用单独的电源。对于精密应用，数字电位计的输入端可以使用ADR423、ADR292或AD1584等基准电压源。

4 mA至20 mA可编程电流源

利用图64所示的电路可以实现4 mA至20 mA可编程电流源。REF191是一款具有低电源裕量和高电流处理能力的独特精密基准源，在2.048 V时可以提供20 mA电流。负载电流等于数字电位计B端到W端的电压除以 R_S 。

$$I_L = \frac{V_{REF} \times D}{R_S} \quad (7)$$

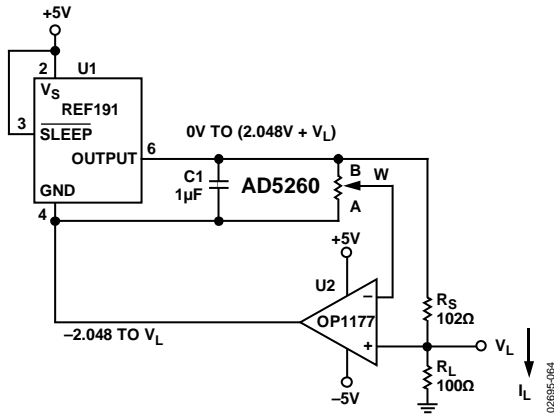


图64.4 mA至20 mA可编程电流源

该电路很简单，但应注意，最好使用双电源运算放大器，因为REF191的地电位摆幅为-2.048 V(电位计设置的零电平)至VL(满量程)。虽然该电路在单电源下也能工作，但系统的可编程分辨率会降低。

可编程双向电流源

对于需要双向电流控制或更高顺从电压的应用，可以考虑Howland电流泵(见图65)。如果电阻匹配，则负载电流为：

$$I_L = \frac{(R_A + R_2B)/R_1}{2B} \times \frac{2}{R} \times V_W \quad (8)$$

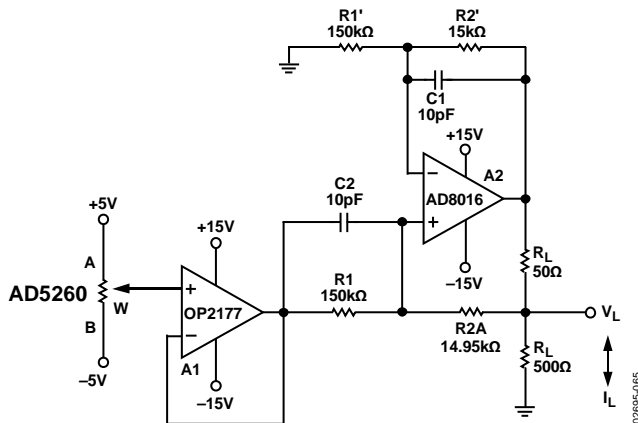


图65. 可编程双向电流源

可编程低通滤波器

数字电位计AD5262可用来构建2阶Sallen-Key低通滤波器(见图66)。设计公式如下：

$$\frac{V_o}{V_i} = \frac{\omega_o^2}{S^2 + \frac{\omega_o}{Q}S + \omega_o^2} \quad (9)$$

$$\omega_o = \sqrt{\frac{1}{R_1R_2C_1C_2}} \quad (10)$$

$$Q = \frac{1}{R_1C_1} + \frac{1}{R_2C_2} = 1 \quad (11)$$

对于电容，用户首先可以选择任何方便的值。为实现最大平坦度带宽(Q = 0.707)，令C1为C2的两倍，且R1 = R2。因此，用户可以将R1和R2调整到相同的设置以实现所需的带宽。

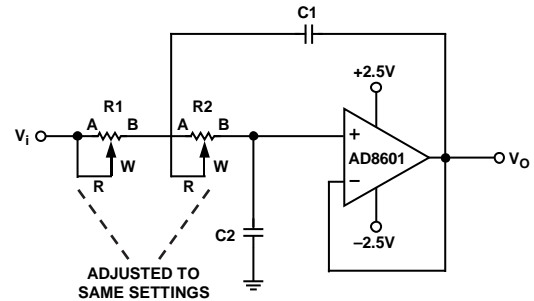


图66. Sallen Key低通滤波器

可编程振荡器

在经典文氏桥振荡器中(见图67)，文氏网络(R、R'、C、C')提供正反馈，而R1和R2提供负反馈。在谐振频率f₀，总相移为0，正反馈导致电路振荡。当R = R'、C = C'且R2 = R2A/(R2B + RDIODE)时，振荡器频率为

$$\omega_o = \frac{1}{RC} \text{ or } f_o = \frac{1}{2\pi RC} \quad (12)$$

其中R等于R_{WA}，因此

$$R = \frac{256 - D}{256} R_{AB} \quad (13)$$

谐振时，设置

$$\frac{R_2}{R_1} = 2 \quad (14)$$

可平衡电桥。在实际操作中，R2/R1应设置为稍大于2，以确保振荡可以开始。然而，二极管D1和D2的交替开启使得R2/R1暂时小于2，有利于稳定振荡。

一旦设置好频率，即可通过R2B调谐振荡幅度，因为：

$$\frac{2}{3} V_o = I_D R_2B + V_D \quad (15)$$

V_o、I_D和V_D是彼此相关的变量。通过正确选择R2B，可达到均衡，以使V_o收敛。R2B可以与一个分立电阻串联以提高幅度，但总电阻不得过大以致输出饱和。

在图66和图67所示的电路中，频率调谐要求按相同设置调整两个RDAC。由于两个通道每次仅可调整一个，因此会出现一个对某些应用来说不能接受的中间状态。

AD5260/AD5262

针对这种情况，也可在菊花链模式下使用不同器件，以便按相同设置同时对各个器件进行编程。

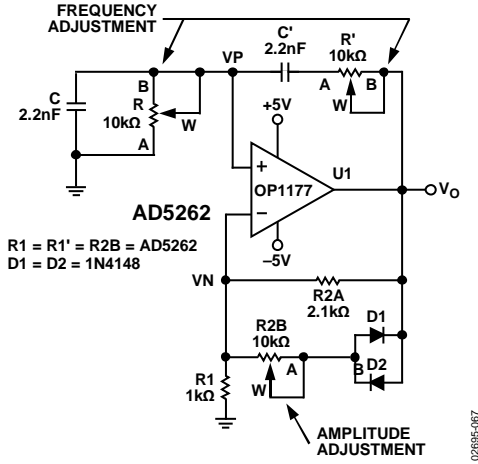


图67. 带幅度控制的可编程振荡器

电阻调节

AD5260/AD5262提高20 kΩ、50 kΩ和200 kΩ三种标称电阻。对于需要更低电阻但阶跃调整数量不变的用户，可以并联使用多个器件。例如，图68显示了一个将AD5262的两个通道并联的简单方案。要在每个阶跃中线性调整电阻值的一半，用户需要采用相同设置对器件进行相干编程。

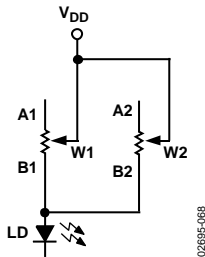


图68. 利用线性调整特性将电阻值减半

在分压器模式下，通过并联分立电阻可以实现更低的阻值，如图69所示。等效阻值变为

$$R_{WB_eq} = \frac{D}{256}(R1 // R2) + R_W \quad (16)$$

$$R_{WA_eq} = \left(1 - \frac{D}{256}\right)(R1 // R2) + R_W \quad (17)$$

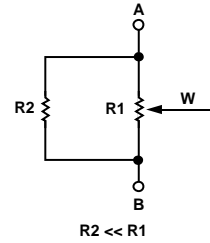


图69. 降低标称电阻

图68和图69显示数字电位计线性改变阶跃。然而，在音频控制等应用中，通常使用对数锥形调整。图70显示的是另一种电阻调节方法。在此电路中，R2相对于R_{AB}越小，伪对数锥形特性越显著。

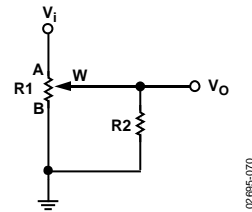
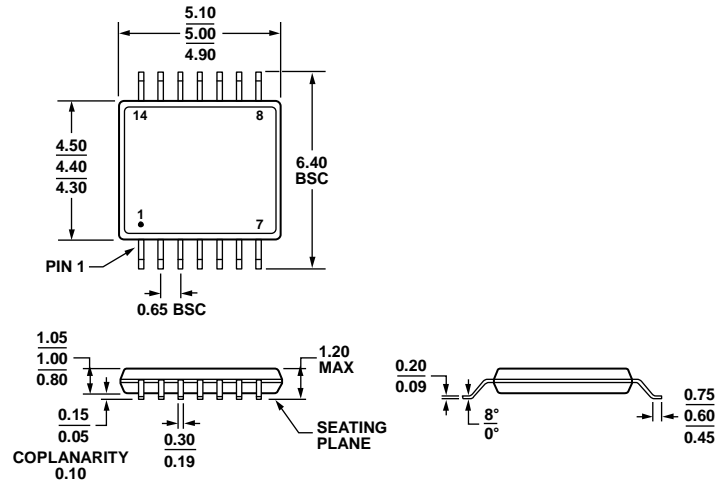


图70. 利用对数调整特性调节电阻

外形尺寸

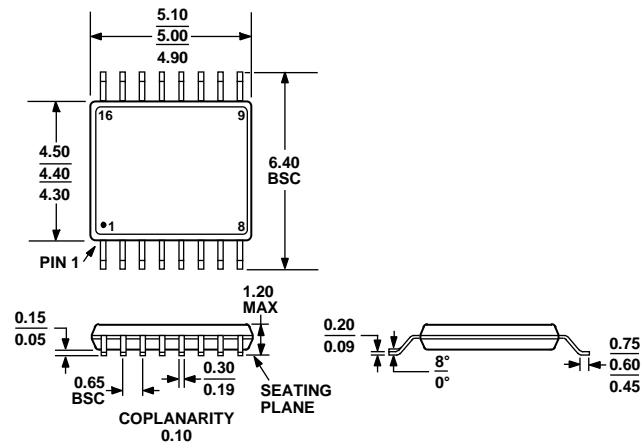


COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

图71. 14引脚超薄紧缩小型封装[TSSOP]
(RU-14)

尺寸单位: mm

06190P-A



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图72. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

尺寸单位: mm

AD5260/AD5262

订购指南

型号 ¹	RAB (kΩ)	温度	封装描述	封装选项	每个容器包含的器件数量
AD5260BRUZ20	20	-40°C至+85°C	14引脚 TSSOP	RU-14	96
AD5260BRUZ20-RL7	20	-40°C至+85°C	14引脚 TSSOP	RU-14	1000
AD5260BRUZ50	50	-40°C至+85°C	14引脚 TSSOP	RU-14	96
AD5260BRUZ50-REEL7	50	-40°C至+85°C	14引脚 TSSOP	RU-14	1000
AD5260BRUZ200	200	-40°C至+85°C	14引脚 TSSOP	RU-14	96
AD5260BRUZ200-RL7	200	-40°C至+85°C	14引脚 TSSOP	RU-14	1000
AD5262BRU20	20	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRU20-REEL7	20	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
AD5262BRU50	50	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRU50-REEL7	50	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
AD5262BRUZ200	200	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRUZ200-REEL7	200	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
AD5262BRUZ20	20	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRUZ20-RL7	20	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
AD5262BRUZ50	50	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRUZ50-RL7	50	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
AD5262BRUZ200	200	-40°C至+85°C	16引脚 TSSOP	RU-16	96
AD5262BRUZ200-RL7	200	-40°C至+85°C	16引脚 TSSOP	RU-16	1000
EVAL-AD5262EBZ			评估板		

¹Z = 符合RoHS标准的器件。