

产品特性

快速且灵活的输出速率：5 SPS至250 kSPS

通道扫描数据速率：50 kSPS/通道(20 μ s建立时间)

性能规格

17.2位无噪声分辨率(250 kSPS)

20位无噪声分辨率(2.5 kSPS)

24位无噪声分辨率(20 SPS)

积分非线性(INL)：FSR的 ± 1 ppm

50 Hz和60 Hz抑制：85 dB，建立时间为50 ms

用户可配置的输入通道

2个差分通道或4个单端通道

交叉点多路复用器

2.5 V片内基准电压源(± 2 ppm/ $^{\circ}$ C漂移)

真轨到轨模拟和基准输入缓冲器

内部或外部时钟

电源：AVDD1 = 5 V，AVDD2 = IOVDD = 2 V至5 V

分离电源，AVDD1/AVSS为 ± 2.5 V

ADC电流：8.4 mA

温度范围：-40 $^{\circ}$ C至+105 $^{\circ}$ C

3或4线串行数字接口(SCLK上为施密特触发器)

串行端口接口(SPI)、QSPI、MICROWIRE和DSP兼容

应用

过程控制：PLC/DCS模块

温度和压力测量

医疗与科学多通道仪器

色谱仪

概述

AD7175-2是一款低噪声、快速建立、多路复用、2/4通道(全差分/伪差分) Σ - Δ 型模数转换器(ADC)，适合低带宽输入。对于完全建立的数据，其最大通道扫描速率为50 kSPS(20 μ s)。输出数据速率范围为5 SPS至250 kSPS。

AD7175-2集成关键的模拟和数字信号调理模块，可让用户针对所用的每个模拟输入通道单独进行配置。每种特性都能以通道为基础进行选择。模拟输入端和外部基准输入端集成真轨到轨缓冲器，提供易于驱动的高阻抗输入。精密2.5 V低漂移(2 ppm/ $^{\circ}$ C)带隙内部基准电压源(带输出基准电压缓冲)增加了嵌入式功能，同时减少了外部元件数。

数字滤波器能以27.27 SPS输出数据速率进行50 Hz/60 Hz同步抑制。用户可根据应用中每个通道的需要而在不同滤波器选项之间进行切换。ADC可自动在每个选定的通道间进行切换。更多数字处理功能包括失调和增益校准寄存器，可基于通道进行配置。

器件采用5 V AVDD1或 ± 2.5 V AVDD1/AVSS、2 V至5 V AVDD2以及IOVDD电源供电。AD7175-2的额定工作温度范围为-40 $^{\circ}$ C至+105 $^{\circ}$ C，提供24引脚TSSOP封装。

注意，在整篇数据手册中，双功能引脚名称仅通过相关功能来引用。

功能框图

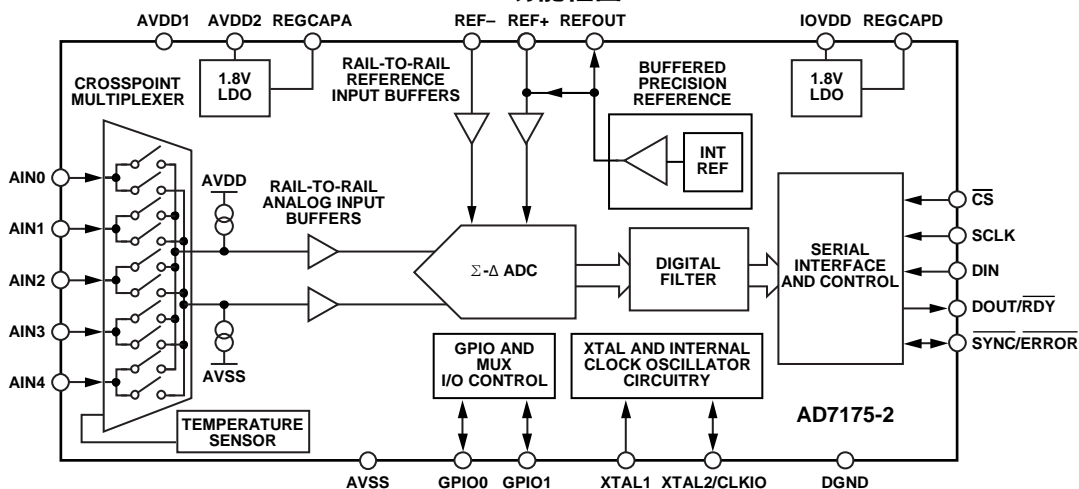


图1.

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

AD7175-2重要链接*

最后更新时间: 10/03/2014 03:57 pm

建议配套产品

推荐AD7175-2使用的驱动放大器

- 针对单电源、低噪声、低失真、完全斩波型差分驱动器, 推荐使用[ADA4528-1](#)或[ADA4528-2](#)。
- 针对单电源、衰减输入级差分驱动器, 推荐使用[AD8475](#)。
- 关于其它[驱动放大器选择](#), 建议选择产品类别并使用我们的参数搜索表格进行筛选。

推荐AD7175-2使用的外部基准电压源

- 针对低噪声、低漂移和高精度基准电压源系列, 推荐使用[ADR445](#)或[ADR4550](#)。
- 关于其它[基准电压源选择](#), 建议使用我们的参数搜索表格进行筛选。

推荐AD7175-2使用的数字隔离器

- 针对SPI接口、最低功耗、2.5 kVrms隔离, 推荐使用[ADuM1401](#)。
- 针对SPI接口、增强的系统级ESD性能、2.5 kVrms隔离, 推荐使用[ADuM3401](#)。
- 针对SPI接口、低功耗、5.0 kVrms隔离, 推荐使用[ADuM4401](#)。
- 针对SPI接口、最小封装、低压I/O(1.8 V至5.5 V), 推荐使用[ADuM3481](#)。
- 关于其它[数字隔离器选择](#), 建议使用我们的参数搜索表格进行筛选。

推荐AD7175-2使用的外部多路复用器

- 针对低Ron、4:1通道多路复用器, 推荐使用[ADG1404](#)。
- 针对四路差分输入的低Ron, 推荐使用[ADG1409](#)。
- 针对提供+/-550 V保护的故障检测和保护系列, 推荐使用[ADG5412F](#)。
- 关于其它[多路复用器选择](#), 建议选择产品类别并使用我们的参数搜索表格进行筛选。

推荐AD7175-2使用的电源解决方案

- 针对高输入电压LDO, 推荐使用[ADP7118](#)和[ADP7182](#)。
- 针对电荷泵电压转换器, 推荐使用[ADG1404](#)。

设计工具、模型、驱动器和软件

[AD7175-2 IBIS模型](#)

类似产品和参数选型表

[依据工作参数查找类似产品](#)

评估套件、原理图符号与PCB封装

[原理图符号和PCB封装](#)

设计协作社区



与ADI支持团队和其他设计人员就ADI产品选型[在线](#)协作。

欲浏览Twitter网站上的ADI新闻, 请访问: www.twitter.com/ADI_News

在Facebook上加我们为好友: www.facebook.com/AnalogDevicesInc

设计支持

请将支持请求提交至:

[线性和数据转换器](#)
[嵌入式处理器和DSP](#)

免费致电客户服务中心:

美洲: 1-800-262-5643
欧洲: 00800-266-822-82
中国: 4006-100-006
印度: 1800-419-0108
俄罗斯: 8-800-555-45-90

[质量和可靠性的真实情况](#)

[无铅\(Pb\)数据](#)

[封装信息](#)

申请样片与购买

[AD7175-2](#)

- 查看报价和封装
- 申请评估板
- 申请样片
- 检查库存并购买

[查找当地经销商](#)



*此页由ADI公司动态产生并插入本数据手册。
注意: 此页(标记为“重要链接”)内容的动态变更不构成产品数据手册版本的变更。
此内容可能会经常改变。

目录

产品特性	1	校验和保护	41
应用	1	CRC计算	42
概述	1	集成功能	44
功能框图	1	通用I/O	44
修订历史	2	外部多路复用器控制	44
技术规格	3	延迟	44
时序特性	6	16位/24位转换	44
时序图	7	DOUT_RESET	44
绝对最大额定值	8	同步	44
热阻	8	错误标志	45
ESD警告	8	DATA_STAT	45
引脚配置和功能描述	9	IOSTRENGTH	46
典型性能参数	11	内部温度传感器	46
噪声性能和分辨率	18	接地和布局布线	47
开始使用	19	寄存器汇总	48
电源	20	寄存器详解	49
数字通信	20	通信寄存器	49
AD7175-2复位	21	状态寄存器	50
配置概述	21	ADC模式寄存器	51
电路描述	26	接口模式寄存器	52
模拟输入缓冲	26	寄存器检查	53
交叉点多路复用器	26	数据寄存器	53
AD7175-2基准电压源	27	GPIO配置寄存器	54
基准电压输入缓冲	28	ID寄存器	55
时钟源	28	通道寄存器0	55
数字滤波器	29	通道寄存器1至通道寄存器3	56
Sinc5 + Sinc1滤波器	29	设置配置寄存器0	57
Sinc3滤波器	29	设置配置寄存器1至设置配置寄存器3	57
单周期建立	30	滤波器配置寄存器0	58
增强型50 Hz和60 Hz抑制滤波器	34	滤波器配置寄存器1至滤波器配置寄存器3	59
工作模式	37	失调寄存器0	59
连续转换模式	37	失调寄存器1至失调寄存器3	59
连续读取模式	38	增益寄存器0	59
单次转换模式	39	增益寄存器1至增益寄存器3	59
待机和掉电模式	40	外形尺寸	60
校准	40	订购指南	60
数字接口	41		

修订历史

2014年9月 — 修订版0至修订版A

更改“订购指南”..... 60

2014年7月—修订版0：初始版

技术规格

除非另有说明, AVDD1 = 4.5 V至5.5 V, AVDD2 = 2 V至5.5 V, IOVDD = 2 V至5.5 V, AVSS = DGND = 0 V, REF+ = 2.5 V, REF- = AVSS, MCLK = 内部主时钟 = 16 MHz, $T_A = T_{MIN}$ 至 T_{MAX} (-40°C至+105°C)。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC速度和性能					
输出数据速率(ODR)		5		250,000	SPS
无失码 ¹	不包括sinc3滤波器 ≥ 125 kSPS	24			位
分辨率	参见表6和表7				
噪声	参见表6和表7				
精度					
积分非线性(INL)	模拟输入缓冲器使能		±3.5	±7.8	FSR的ppm
	模拟输入缓冲器禁用		±1	±3.5	FSR的ppm
失调误差 ²	内部短路		±40		μV
失调漂移	内部短路		±80		nV/°C
增益误差 ²			±35	±85	FSR的ppm
增益漂移			±0.4	±0.75	ppm/°C
抑制					
电源抑制	AVDD1, AVDD2, $V_{IN} = 1 V$		95		dB
共模抑制	$V_{IN} = 0.1 V$				
DC时		95			dB
50 Hz、60 Hz时 ¹	20 Hz输出数据速率(后置滤波器), 50 Hz ± 1 Hz和60 Hz ± 1 Hz	120			dB
串模干扰抑制 ¹	50 Hz ± 1 Hz和60 Hz ± 1 Hz 内部时钟, 20 SPS ODR(后置滤波器) 外部时钟, 20 SPS ODR(后置滤波器)	71 85	90 90		dB dB
模拟输入					
差分输入范围	$V_{REF} = (REF+) - (REF-)$		± V_{REF}		V
绝对电压限值 ¹					
输入缓冲器禁用		AVSS - 0.05		AVDD1 + 0.05	V
输入缓冲器使能		AVSS		AVDD1	V
模拟输入电流					
输入缓冲器禁用			±48		μA/V
输入电流	外部时钟		±0.75		nA/V/°C
输入电流漂移	内部时钟(±2.5%时钟)		±4		nA/V/°C
输入缓冲器使能			±30		nA
输入电流	AVDD1 - 0.2V至AVSS + 0.2V		±75		pA/°C
输入电流漂移	AVDD1至AVSS		±1		nA/°C
串扰	1 kHz输入		-120		dB
内部基准电压源					
输出电压	100 nF外部电容接AVSS REFOUT, 相对于AVSS		2.5		V
初始精度 ³	REFOUT, $T_A = 25^\circ C$	-0.12		+0.12	% of V
温度系数					
0°C至105°C			±2	±5	ppm/°C
-40°C至+105°C			±3	±10	ppm/°C
基准负载电流 I_{LOAD}		-10		+10	mA
电源抑制	AVDD1, AVDD2, (电压调整率)		90		dB
负载调整率	$\Delta V_{OUT} / \Delta I_{LOAD}$		32		ppm/mA
电压噪声	e_N , 0.1 Hz至10 Hz, 2.5 V基准电压		4.5		μV rms
电压噪声密度	e_N , 1 kHz, 2.5 V基准电压		215		nV/√Hz

AD7175-2

参数	测试条件/注释	最小值	典型值	最大值	单位
开启建立时间	100 nF REFOUT 电容		200		μs
短路电流 I_{SC}			25		mA
外部基准输入					
差分输入范围	$V_{REF} = (REF+) - (REF-)$	1	2.5	AVDD1	V
绝对电压限值 ¹					
输入缓冲器禁用		AVSS - 0.05		AVDD1 + 0.05	V
输入缓冲器使能		AVSS		AVDD1	V
REFIN 输入电流					
输入缓冲器禁用			±72		μA/V
输入电流			±1.2		nA/V/°C
输入电流漂移	外部时钟		±6		nA/V/°C
	内部时钟				
输入缓冲器使能			±800		nA
输入电流			1.25		nA/°C
输入电流漂移					
串模干扰抑制 ¹	见“抑制”参数部分				
共模抑制			95		dB
温度传感器					
精度	25°C 时用户校准后应用		±2		°C
灵敏度			477		μV/K
激励电流					
源/吸电流	必须使能模拟输入缓冲器		±10		μA
通用 I/O (GPIO0、GPIO1)	相对于 AVSS				
输入模式漏电流 ¹		-10		+10	μA
浮空态输出电容			5		pF
输出高电压 V_{OH}^1	$I_{SOURCE} = 200 \mu A$	AVSS + 4			V
输出低电压 V_{OL}^1	$I_{SINK} = 800 \mu A$			AVSS + 0.4	V
输入高电压 V_{IH}^1		AVSS + 3			V
输入低电压 V_{IL}^1				AVSS + 0.7	V
时钟					
内部时钟					
频率			16		MHz
精度		-2.5%		+2.5%	%
占空比			50		%
输出低电压 V_{OL}				0.4	V
输出高电压 V_{OH}		0.8 × IOVDD			V
晶振					
频率		14	16	16.384	MHz
启动时间			10		μs
外部时钟 (CLKIO)			16	16.384	MHz
占空比 ¹		30	50	70	%

参数	测试条件/注释	最小值	典型值	最大值	单位
逻辑输入					
输入高电压 V_{INH}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$			V
输入低电压 V_{INL}^1	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$			$0.35 \times \text{IOVDD}$	V
	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$			0.7	V
迟滞 ¹	$\text{IOVDD} \geq 2.7\text{ V}$	0.08		0.25	V
	$\text{IOVDD} < 2.7\text{ V}$	0.04		0.2	V
漏电流		-10		+10	μA
逻辑输出(DOUT/RDY)					
输出高电压 V_{OH}^1	$\text{IOVDD} \geq 4.5\text{ V}, I_{\text{SOURCE}} = 1\text{ mA}$	$0.8 \times \text{IOVDD}$			V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{\text{SOURCE}} = 500\ \mu\text{A}$	$0.8 \times \text{IOVDD}$			V
	$\text{IOVDD} < 2.7\text{ V}, I_{\text{SOURCE}} = 200\ \mu\text{A}$	$0.8 \times \text{IOVDD}$			V
输出低电压 V_{OL}^1	$\text{IOVDD} \geq 4.5\text{ V}, I_{\text{SINK}} = 2\text{ mA}$			0.4	V
	$2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{\text{SINK}} = 1\text{ mA}$			0.4	V
	$\text{IOVDD} < 2.7\text{ V}, I_{\text{SINK}} = 400\ \mu\text{A}$			0.4	V
漏电流	浮空态	-10		+10	μA
输出电容	浮空态		10		pF
系统校准 ¹					
满量程(FS)校准限值				$1.05 \times \text{FS}$	V
零电平校准限值		$-1.05 \times \text{FS}$			V
输入范围		$0.8 \times \text{FS}$		$2.1 \times \text{FS}$	V
电源要求					
电源电压					
AVDD1至AVSS		4.5		5.5	V
AVDD2至AVSS		2		5.5	V
AVSS至DGND		-2.75		0	V
IOVDD至DGND		2		5.5	V
IOVDD至AVSS	$\text{AVSS} < \text{DGND}$			6.35	V
电源电流 ⁴	所有输出空载，数字输入连接到IOVDD或DGND				
完全工作模式					
AVDD1电流	模拟输入和基准输入缓冲器禁用，外部基准电压源		1.4	1.65	mA
	模拟输入和基准输入缓冲器禁用，内部基准电压源		1.75	2	mA
	模拟输入和基准输入缓冲器使能，外部基准电压源		13	16	mA
	各缓冲器：AIN+、AIN-、REF+、REF-		2.9		mA
AVDD2电流	外部基准电压源		4.5	5	mA
	内部基准电压源		4.75	5.2	mA
IOVDD电流	外部时钟		2.5	2.8	mA
	内部时钟		2.75	3.1	mA
	外部晶振		3		mA
待机模式(LDO开启)	内部基准电压源关闭，总功耗		25		μA
	内部基准电压源开启，总功耗		425		μA
掉电模式	完全掉电(包括LDO和内部基准电压源)		5	10	μA

AD7175-2

参数	测试条件/注释	最小值	典型值	最大值	单位
功耗 ⁴ 完全工作模式	所有缓冲器禁用, 外部时钟和基准电压源, AVDD2 = 2 V, IOVDD = 2 V		21		mW
	所有缓冲器禁用, 外部时钟和基准电压源, 所有电源 = 5 V		42		mW
	所有缓冲器禁用, 外部时钟和基准电压源, 所有电源 = 5.5 V			52	mW
	所有缓冲器使能, 内部时钟和基准电压源, AVDD2 = 2 V, IOVDD = 2 V		82		mW
	所有缓冲器使能, 内部时钟和基准电压源, 所有电源 = 5 V		105		mW
	所有缓冲器使能, 内部时钟和基准电压源, 所有电源 = 5.5 V			136	mW
待机模式	内部基准电压源关闭, 所有电源 = 5 V		125		μW
	内部基准电压源开启, 所有电源 = 5 V		2.2		mW
掉电模式	完全掉电, 所有电源 = 5 V		25	50	μW

¹ 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

² 经系统或内部零电平校准, 此失调误差与选定的编程输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与编程输出数据速率对应的噪声相当的水平。

³ 该规格包括湿度敏感度等级(MSL)预调理效应。

⁴ 该规格在REFOUT和数字输出引脚空载下测量。

时序特性

除非另有说明, IOVDD = 2 V至5.5 V, DGND = 0 V, 逻辑输入0 = 0 V, 逻辑输入1 = IOVDD, C_{LOAD} = 20 pF。

表2.

参数	T _{MIN} 、T _{MAX} 的限值	单位	测试条件/注释 ^{1,2}
SCLK			
t ₃	25	ns(最小值)	SCLK高电平脉宽
t ₄	25	ns(最小值)	SCLK低电平脉宽
读操作			
t ₁	0	ns(最小值)	\overline{CS} 下降沿到DOUT/RDY有效时间
	15	ns(最大值)	IOVDD = 4.75 V至5.5 V
	40	ns(最大值)	IOVDD = 2 V至3.6 V
t ₂ ³	0	ns(最小值)	SCLK有效沿到数据有效延迟 ⁴
	12.5	ns(最大值)	IOVDD = 4.75 V至5.5 V
	25	ns(最大值)	IOVDD = 2 V至3.6 V
t ₅ ⁵	2.5	ns(最小值)	\overline{CS} 无效沿后的总线释放时间
	20	ns(最大值)	
t ₆	0	ns(最小值)	SCLK无效沿到 \overline{CS} 无效沿
t ₇	10	ns(最小值)	SCLK无效沿到DOUT/RDY高电平/低电平
写操作			
t ₈	0	ns(最小值)	\overline{CS} 下降沿到SCLK有效沿建立时间 ⁴
t ₉	8	ns(最小值)	数据有效到SCLK沿建立时间
t ₁₀	8	ns(最小值)	数据有效到SCLK沿保持时间
t ₁₁	5	ns(最小值)	\overline{CS} 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试, 以确保符合标准要求。

² 参见图2和图3。

³ 该参数定义为输出跨越V_{OL}或V_{OH}限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ 读取数据寄存器之后, DOUT/RDY返回高电平。在单次转换模式和连续转换模式下, 当DOUT/RDY为高电平时, 如有必要, 可以再次读取同一数据, 但必须确保后续读取操作的发生时间不能接近下一次输出更新时间。如果使能连续读取功能, 数字字只能被读取一次。

时序图

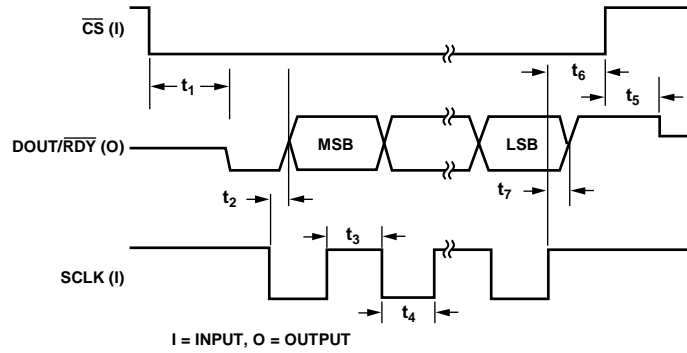


图2. 读取周期时序图

12468-003

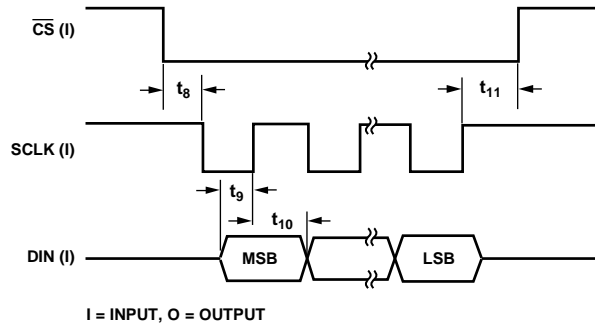


图3. 写入周期时序图

12468-004

AD7175-2

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AVDD1、AVDD2至AVSS	-0.3 V至+6.5 V
AVDD1至DGND	-0.3 V至+6.5 V
IOVDD至DGND	-0.3 V至+6.5 V
IOVDD至AVSS	-0.3 V至+7.5 V
AVSS至DGND	-3.25 V至+0.3 V
模拟输入电压至AVSS	-0.3 V至AVDD1+ 0.3 V
基准输入电压至AVSS	-0.3 V至AVDD1+ 0.3 V
数字输入电压至DGND	-0.3 V至IOVDD + 0.3 V
数字输出电压至DGND	-0.3 V至IOVDD + 0.3 V
模拟输入/数字输入电流	10 mA
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚焊接，回流温度	260°C
ESD额定值(HBM)	4 kV

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 指定器件焊接在JEDEC测试板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	单位
24引脚 TSSOP		
JEDEC 1层板	149	$^\circ\text{C}/\text{W}$
JEDEC 2层板	81	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

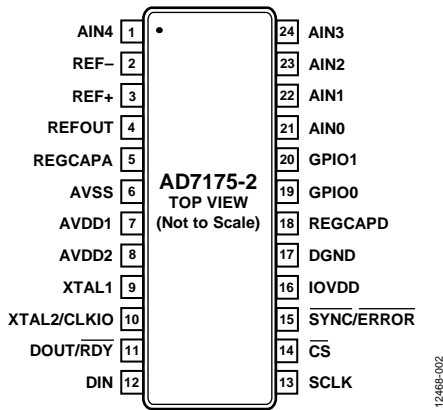


图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	类型 ¹	说明
1	AIN4	AI	模拟输入4。可通过交叉点多路复用器选择。
2	REF-	AI	基准输入负端。REF-的范围是AVSS至AVDD1 - 1 V。
3	REF+	AI	基准输入正端。可以在REF+与REF-之间施加一个外部基准电压。REF+的范围是AVSS + 1 V至AVDD1。该器件采用1 V至AVDD1的基准电压工作。
4	REFOUT	AO	内部基准电压源的缓冲输出。输出相对于AVSS为2.5 V。
5	REGCAPA	AO	模拟LDO稳压器输出。利用一个1 μF和一个0.1 μF电容将此引脚去耦至AVSS。
6	AVSS	P	负模拟电源。此电源的范围是-2.75 V到0 V，标称设置为0 V。
7	AVDD1	P	模拟电源1。此电压相对于AVSS为5 V ± 10%。
8	AVDD2	P	模拟电源2。此电压相对于AVSS的范围是2 V至5 V。
9	XTAL1	AI	晶振的输入1。
10	XTAL2/CLKIO	AI/DI	晶振的输入2/时钟输入或输出。基于ADCMODE寄存器中的CLOCKSEL位。MCLK源选择有4个选项可用： 内部振荡器：无输出。 内部振荡器：输出至XTAL2/CLKIO。工作在IOVDD逻辑电平。 外部时钟：输入至XTAL2/CLKIO。输入必须为IOVDD逻辑电平。 外部晶振：连接在XTAL1与XTAL2/CLKIO之间。
11	DOUT/RDY	DO	串行数据输出/数据就绪输出引脚。DOUT/RDY引脚具有双重用途。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。数据字/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。当CS为高电平时，DOUT/RDY输出为三态。当CS为低电平时，DOUT/RDY用作数据就绪引脚，变为低电平时表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿可以用作处理器的中断，表示存在可用数据。
12	DIN	DI	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传输至ADC内的控制寄存器，通信寄存器的寄存器地址(RA)位确定适当的寄存器。数据在SCLK的上升沿逐个输入。
13	SCLK	DI	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。
14	CS	DI	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC，CS可以用来在串行总线上具有多个器件的系统中选择ADC。CS可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。当CS为高电平时，DOUT/RDY输出为三态。

AD7175-2

引脚编号	引脚名称	类型 ¹	说明
15	SYNC/ERROR	DI/O	<p>同步输入/错误输入/输出。此引脚可以通过GPIOCON寄存器在逻辑输入与逻辑输出之间切换。使能同步输入(SYNC)时,此引脚可以使多个AD7175-2器件的数字滤波器和模拟调制器同步。更多信息参见“同步”部分。禁用同步输入时,此引脚可以用于三种模式之一:</p> <p>低电平有效错误输入模式:此模式将状态寄存器的ADC_ERROR位设为1。</p> <p>低电平有效、开漏错误输出模式:状态寄存器错误位映射到ERROR输出。多个器件的SYNC/ERROR引脚可以连接到同一个上拉电阻,这样就可以观察到任何器件的错误。</p> <p>通用输出模式:此引脚的状态由GPIOCON寄存器的ERR_DAT位控制。此引脚参考IOVDD与DGND之间的电平,而不是GPIOx引脚使用的AVDD1和AVSS电平。这种模式下,该引脚有一个有源上拉电阻。</p>
16	IOVDD	P	数字I/O电源电压。IOVDD电压范围是2 V至5 V。IOVDD与AVDD2无关。例如,当AVDD2为5 V时,IOVDD可采用3 V工作,反之亦然。如果AVSS设置为-2.5 V,则IOVDD上的电压不得超过3.6 V。
17	DGND	P	数字地。
18	REGCAPD	AO	数字LDO稳压器输出。此引脚仅用于去耦。利用一个1 μF和一个0.1 μF电容将此引脚去耦至DGND。
19	GPIO0	DI/O	通用输入/输出0。此引脚参考AVDD1与AVSS之间的电平。
20	GPIO1	DI/O	通用输入/输出1。此引脚参考AVDD1与AVSS之间的电平。
21	AIN0	AI	模拟输入0。可通过交叉点多路复用器选择。
22	AIN1	AI	模拟输入1。可通过交叉点多路复用器选择。
23	AIN2	AI	模拟输入2。可通过交叉点多路复用器选择。
24	AIN3	AI	模拟输入3。可通过交叉点多路复用器选择。

¹ AI = 模拟输入, AO = 模拟输出, DI/O = 双向数字输入/输出, DO = 数字输出, DI = 数字输入, P = 电源。

典型性能参数

除非另有说明, AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V, T_A = 25°C.

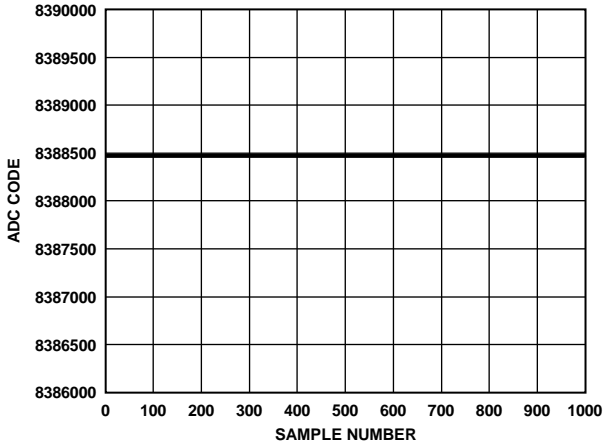


图5. 噪声(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 5 SPS)

1246E-205

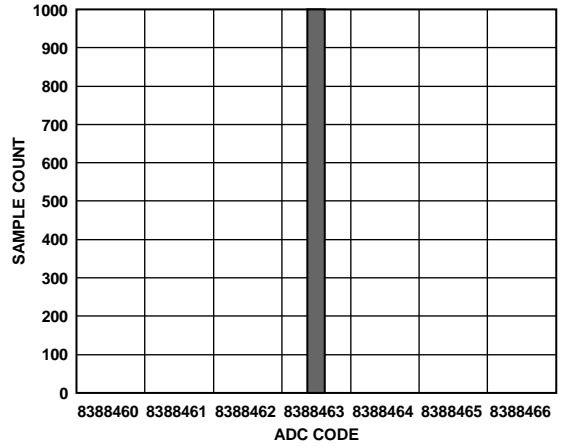


图8. 直方图(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 5 SPS)

1246E-208

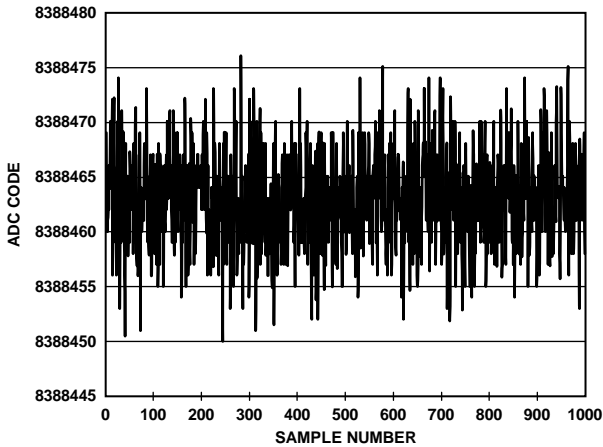


图6. 噪声(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 10 kSPS)

1246E-206

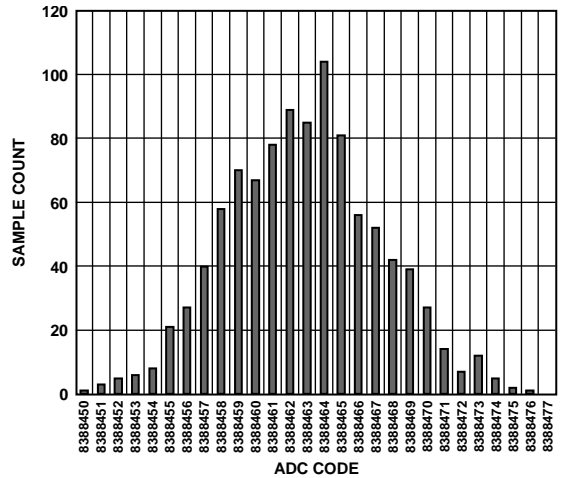


图9. 直方图(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 10 kSPS)

1246E-209

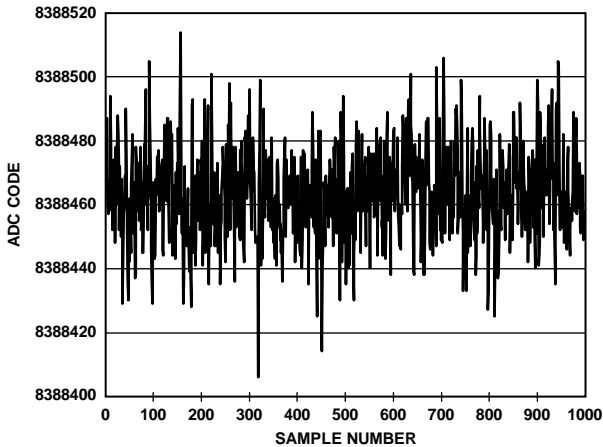


图7. 噪声(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 250 kSPS)

1246E-207

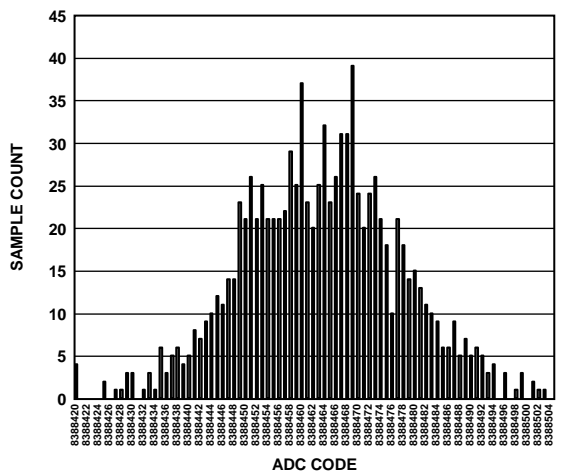


图10. 直方图(模拟输入缓冲器禁用, V_{REF} = 5 V, 输出数据速率 = 250 kSPS)

1246E-210

AD7175-2

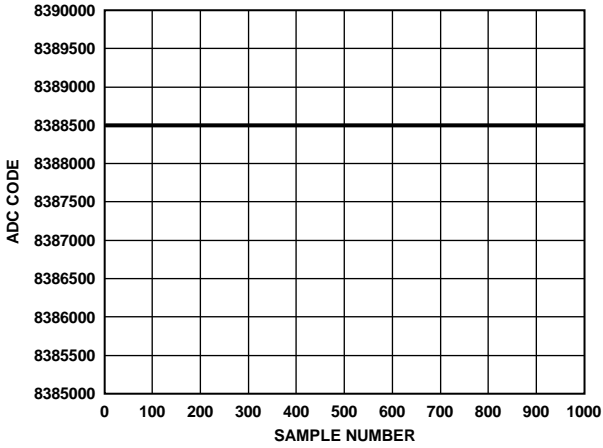


图11. 噪声(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 5 SPS)

12469-211

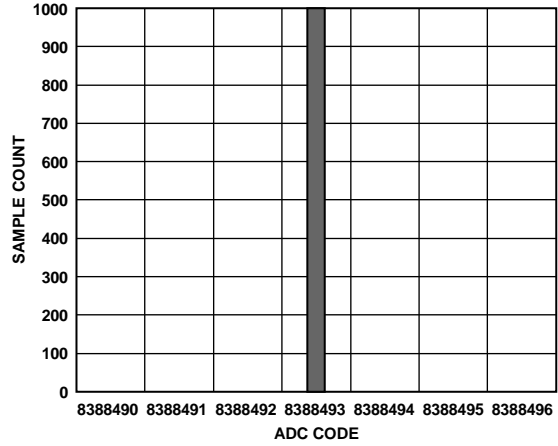


图14. 直方图(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 5 SPS)

12469-214

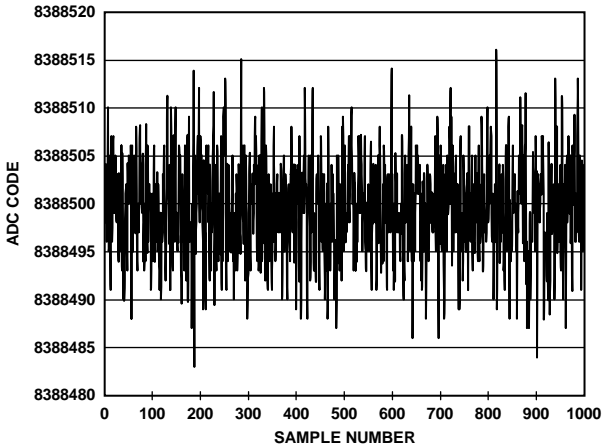


图12. 噪声(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 10 kSPS)

12469-212

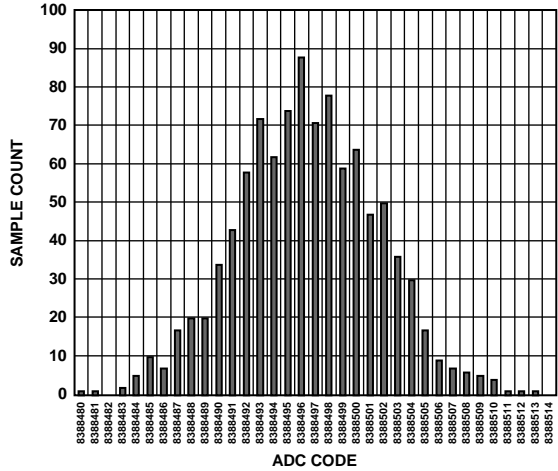


图15. 直方图(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 10 kSPS)

12469-215

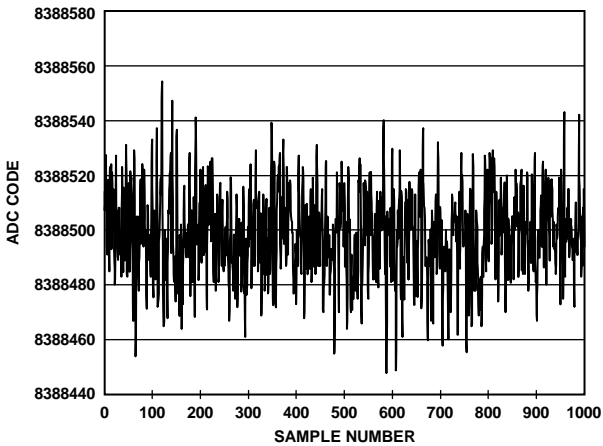


图13. 噪声(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 250 kSPS)

12469-213

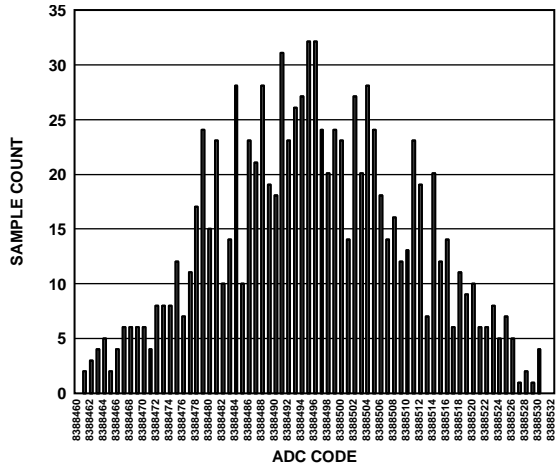


图16. 直方图(模拟输入缓冲器使能, $V_{REF} = 5 V$, 输出数据速率 = 250 kSPS)

12469-216

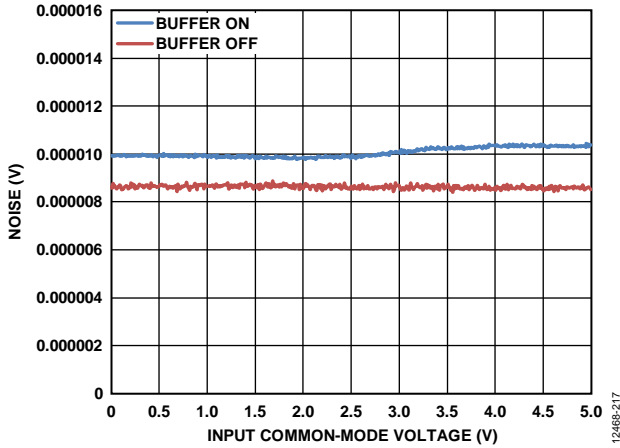


图17. 噪声与输入共模电压的关系，模拟输入缓冲器开启和关闭

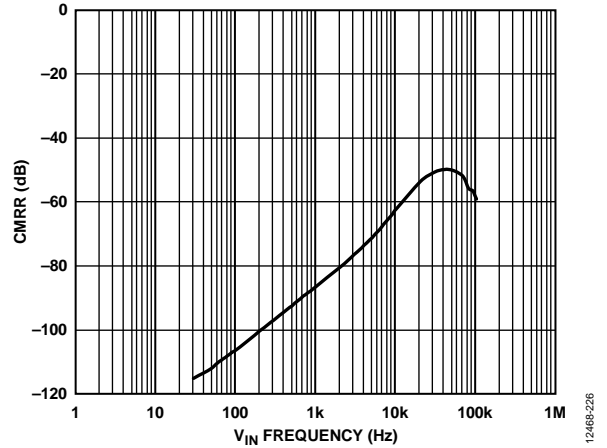


图20. 共模抑制比(CMRR)与 V_{IN} 频率的关系 ($V_{IN} = 0.1 V$, 输出数据速率 = 250 kSPS)

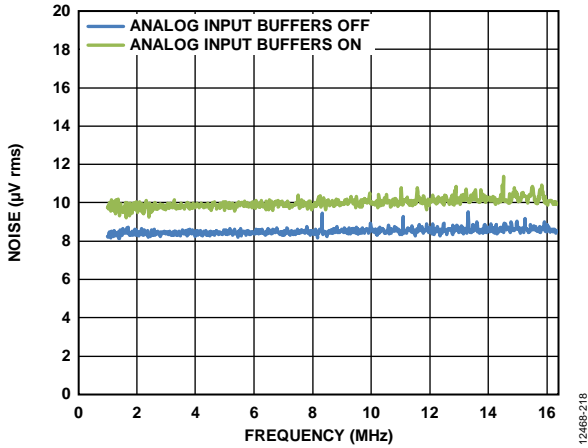


图18. 噪声与外部主时钟频率的关系，模拟输入缓冲器开启和关闭

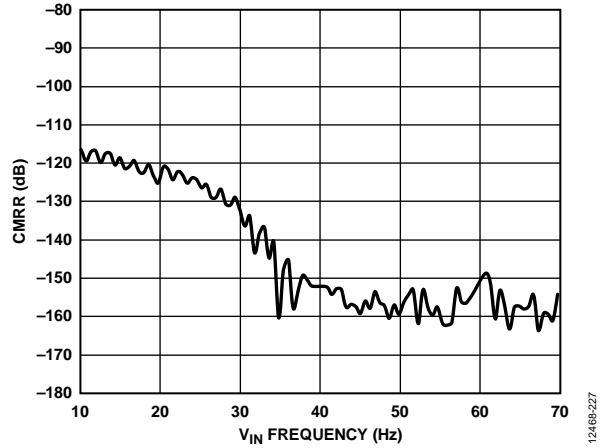


图21. 共模抑制比(CMRR)与 V_{IN} 频率的关系 ($V_{IN} = 0.1 V$, 10 Hz至70 Hz, 输出数据速率 = 20 SPS增强型滤波器)

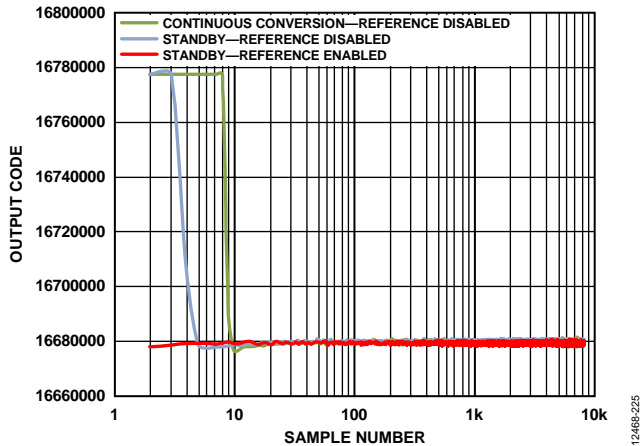


图19. 内部基准电压源建立时间

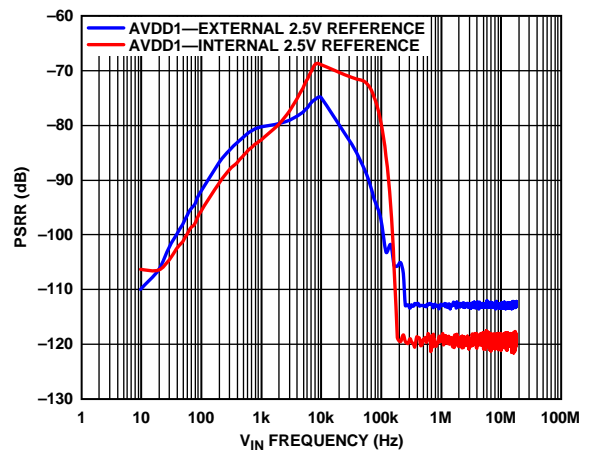


图22. 电源抑制比(PSRR)与 V_{IN} 频率的关系

AD7175-2

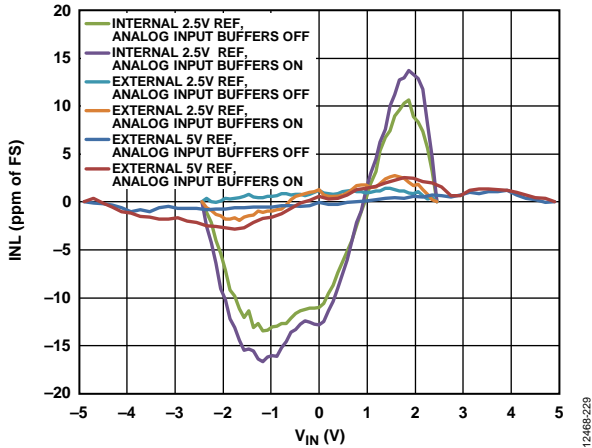


图23. 积分非线性(INL)与 V_{IN} (差分输入)的关系

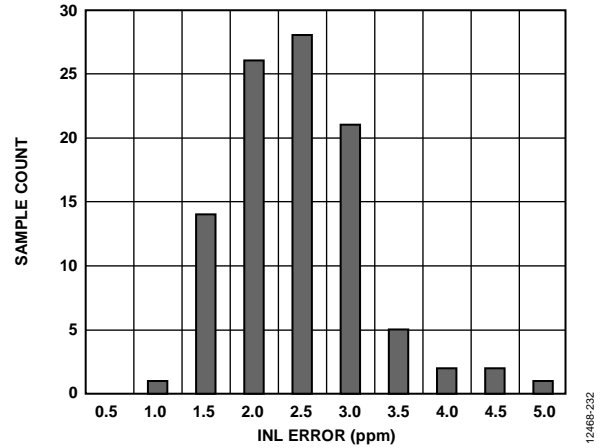


图26. 积分非线性(INL)分布直方图(模拟输入缓冲器使能, 差分输入, $V_{REF} = 5V$ 外部, 100片)

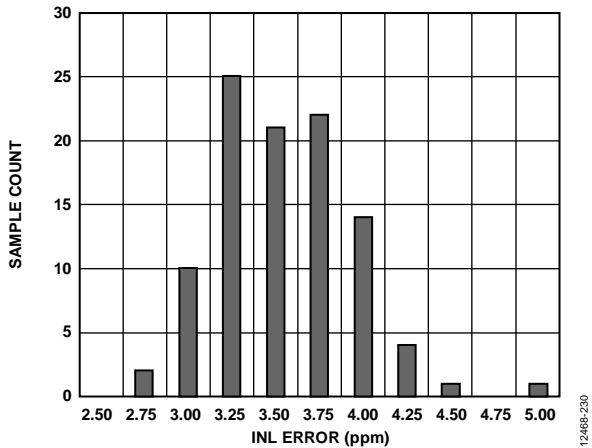


图24. 积分非线性(INL)分布直方图(差分输入, 模拟输入缓冲器使能, $V_{REF} = 2.5V$ 外部, 100片)

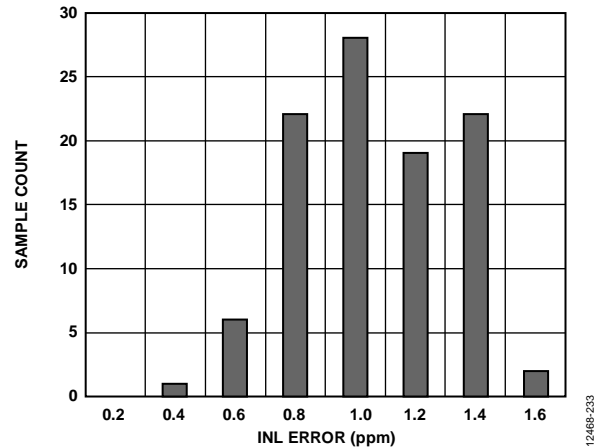


图27. 积分非线性(INL)分布直方图(模拟输入缓冲器禁用, 差分输入, $V_{REF} = 5V$ 外部, 100片)

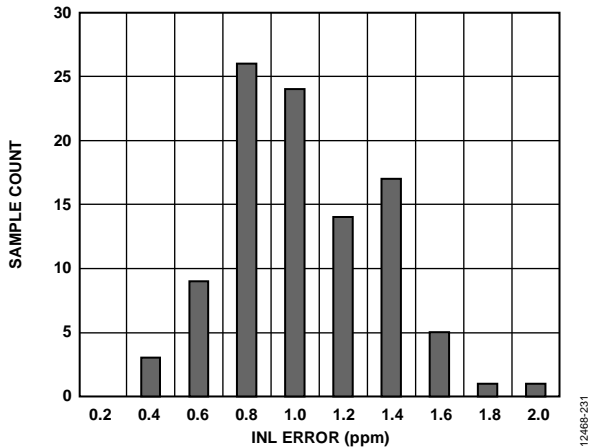


图25. 积分非线性(INL)分布直方图(差分输入, 模拟输入缓冲器禁用, $V_{REF} = 2.5V$ 外部, 100片)

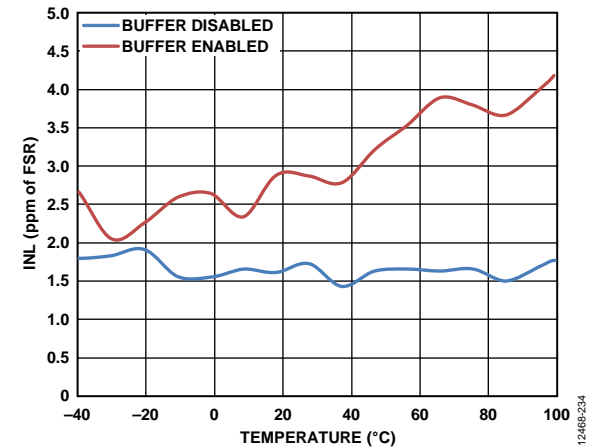


图28. 积分非线性(INL)与温度的关系(差分输入, $V_{REF} = 2.5V$ 外部)

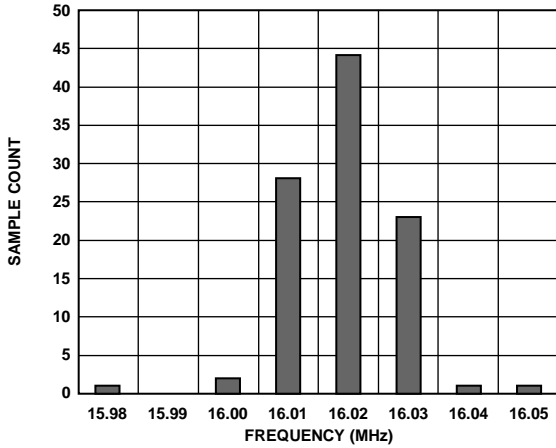


图29. 内部振荡器频率/精度分布直方图(100片)

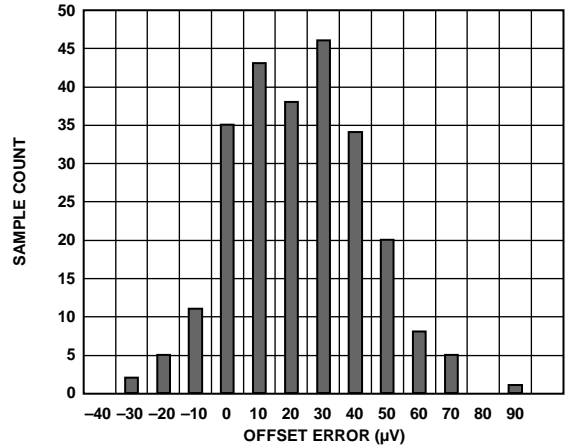


图32. 失调误差分布直方图(内部短路, 248片)

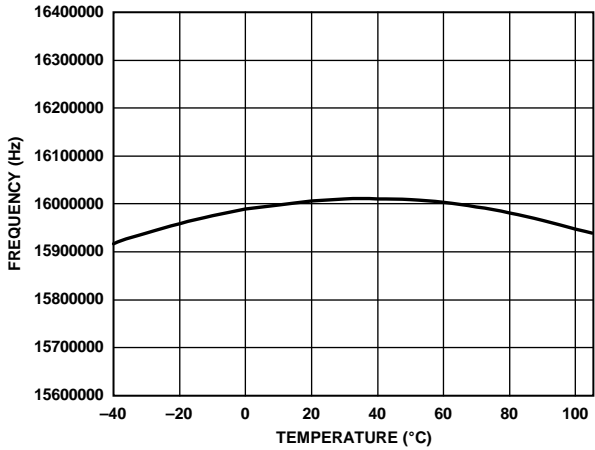


图30. 内部振荡器频率与温度的关系

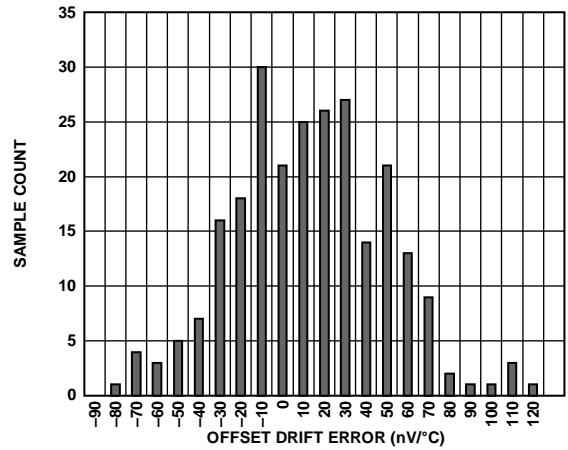


图33. 失调误差漂移分布直方图(内部短路, 248片)

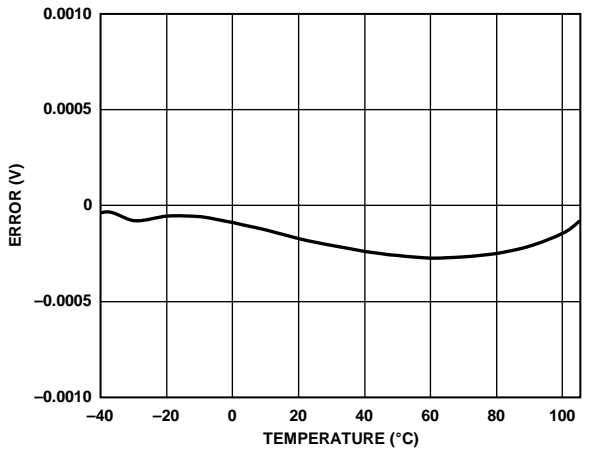


图31. 基准电压绝对误差与温度的关系

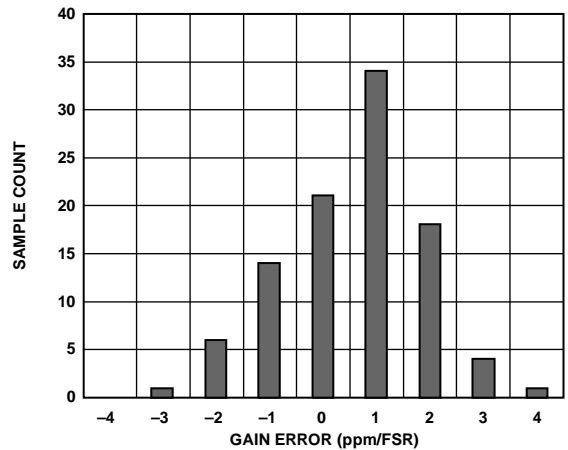


图34. 增益误差分布直方图(模拟输入缓冲器使能, 100片)

AD7175-2

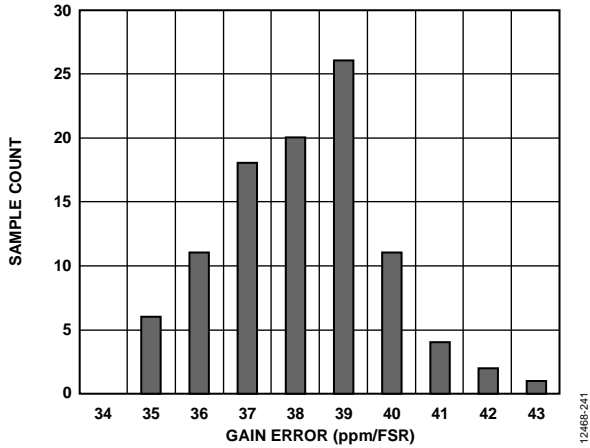


图35. 增益误差分布直方图(模拟输入缓冲器禁用, 100片)

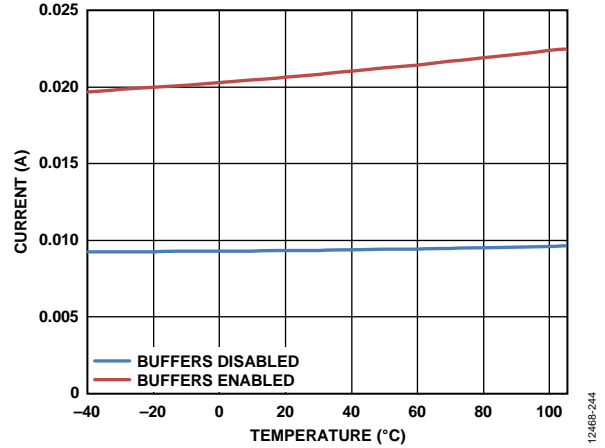


图38. 功耗与温度的关系(连续转换模式)

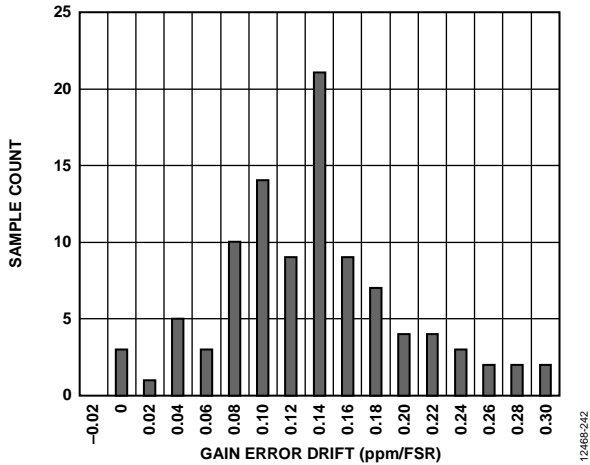


图36. 增益误差漂移分布直方图(模拟输入缓冲器使能, 100片)

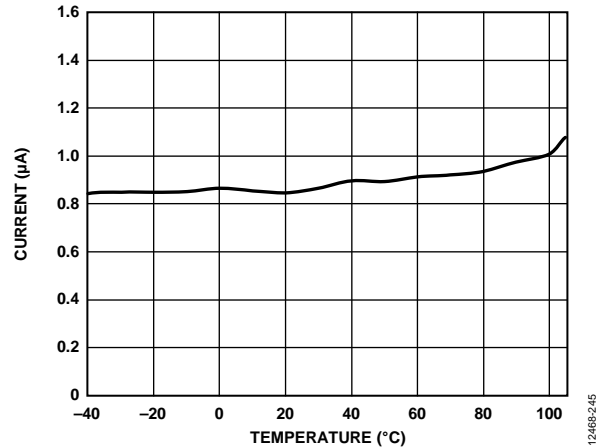


图39. 功耗与温度的关系(掉电模式)

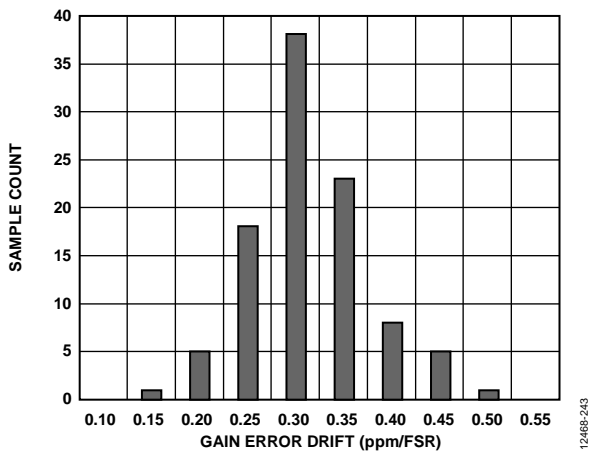


图37. 增益误差漂移分布直方图(模拟输入缓冲器禁用, 100片)

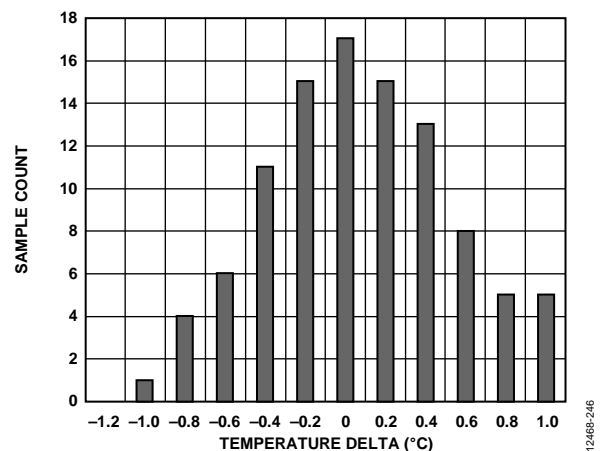


图40. 温度传感器分布直方图(未校准, 100片)

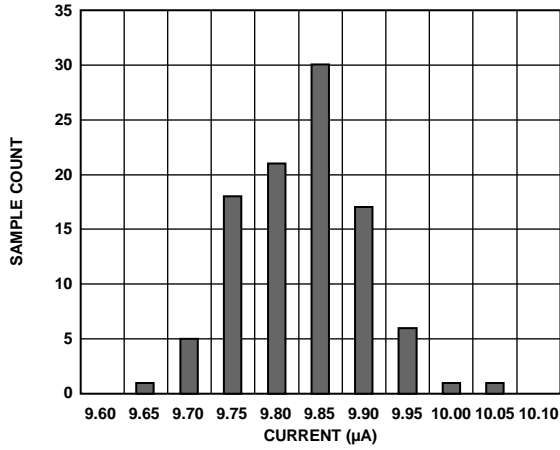


图41. 激励电流分布直方图(100片)

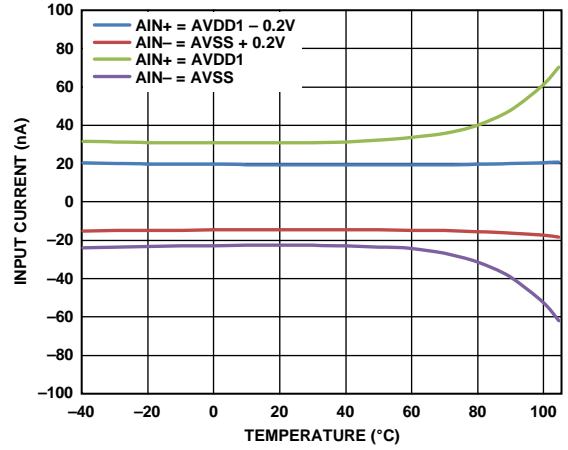


图43. 模拟输入电流与温度的关系

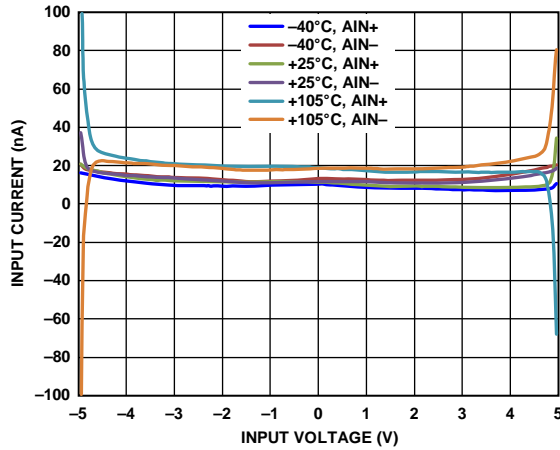


图42. 模拟输入电流与输入电压的关系($V_{CM} = 2.5 V$)

AD7175-2

噪声性能和分辨率

表6和表7所示为AD7175-2在不同输出数据速率和滤波器下的均方根噪声、峰峰值噪声、有效分辨率和无噪声(峰峰值)分辨率。所提供的数据是针对双极性输入范围以及采用5 V外部基准电压源而言。这些数据是在单个通道上连续转换

ADC时, 差分输入电压为0 V产生的典型值。必须注意, 峰峰值分辨率是根据峰峰值噪声计算得出。峰峰值分辨率表示无闪烁码的分辨率。

表6. 均方根噪声和峰峰值分辨率与输出数据速率的关系(使用Sinc5 + Sinc1滤波器(默认))¹

输出数据速率(SPS)	均方根噪声($\mu\text{V rms}$)	有效分辨率(位)	峰峰值噪声($\mu\text{V p-p}$)	峰峰值分辨率(位)
输入缓冲器禁用				
250,000	8.7	20.1	65	17.2
62,500	5.5	20.8	43	17.8
10,000	2.5	21.9	18.3	19.1
1000	0.77	23.6	5.2	20.9
59.92	0.19	24	1.1	23.1
49.96	0.18	24	0.95	23.3
16.66	0.1	24	0.45	24
5	0.07	24	0.34	24
输入缓冲器使能				
250,000	9.8	20	85	16.8
62,500	6.4	20.6	55	17.5
10,000	3	21.7	23	18.7
1000	0.92	23.4	5.7	20.7
59.98	0.23	24	1.2	23.0
49.96	0.2	24	1	23.3
16.66	0.13	24	0.66	23.9
5	0.07	24	0.32	24

¹ 仅限选定速率, 1000样本。

表7. 均方根噪声和峰峰值分辨率与输出数据速率的关系(使用Sinc3滤波器)¹

输出数据速率(SPS)	均方根噪声($\mu\text{V rms}$)	有效分辨率(位)	峰峰值噪声($\mu\text{V p-p}$)	峰峰值分辨率(位)
输入缓冲器禁用				
250,000	210	15.5	1600	12.6
62,500	5.2	20.9	40	17.9
10,000	1.8	22.4	14	19.4
1000	0.56	24	3.9	21.3
60	0.13	24	0.8	23.6
50	0.13	24	0.7	23.8
16.66	0.07	24	0.37	24
5	0.05	24	0.21	24
输入缓冲器使能				
250,000	210	15.5	1600	12.6
62,500	5.8	20.7	48	17.7
10,000	2.1	22.2	16	19.3
1000	0.71	23.7	4.5	21.1
60	0.17	24	1.1	23.1
50	0.15	24	0.83	23.5
16.66	0.12	24	0.6	24
5	0.08	24	0.35	24

¹ 仅限选定速率, 1000样本。

开始使用

AD7175-2是一款快速建立、高分辨率、多路复用ADC，配置灵活。

- 两路全差分或四路单端模拟输入。
- 交叉点多路复用器可选择任何模拟输入组合作为要转换的输入信号，并将其路由至调制器正或负输入。
- 真轨到轨缓冲模拟和基准输入。
- 支持全差分输入或单端输入(相对于任何模拟输入)。
- 各通道独立配置能力——最多可以定义四种不同的设置。可以将不同的设置映射到各通道。每种设置均支持用户配置：使能或禁用缓冲器，增益和失调校正，滤波器类型、输出数据速率和基准电压源选择(内部/外部)。

AD7175-2内置一个2.5 V精密低漂移(± 2 ppm/ $^{\circ}\text{C}$)带隙基准电压源。此基准电压源可以用于ADC转换，从而减少外部元件数量。另外，该基准电压源也可以通过REFOUT引脚输出，用作外部电路的低噪声偏置电压。例子之一是利用REFOUT信号设置外部放大器的输入共模电压。

AD7175-2内置两个独立的线性稳压器模块，分别用于模拟和数字电路。模拟LDO将AVDD2电源调节到1.8 V，以便为ADC内核供电。用户可以将AVDD1和AVDD2电源连在一起，此时连接最简单。如果系统中已经有一个2 V(最小值)至5.5 V(最大值)的干净模拟电源轨，用户也可以选择将此电源连接到AVDD2输入，从而降低功耗。

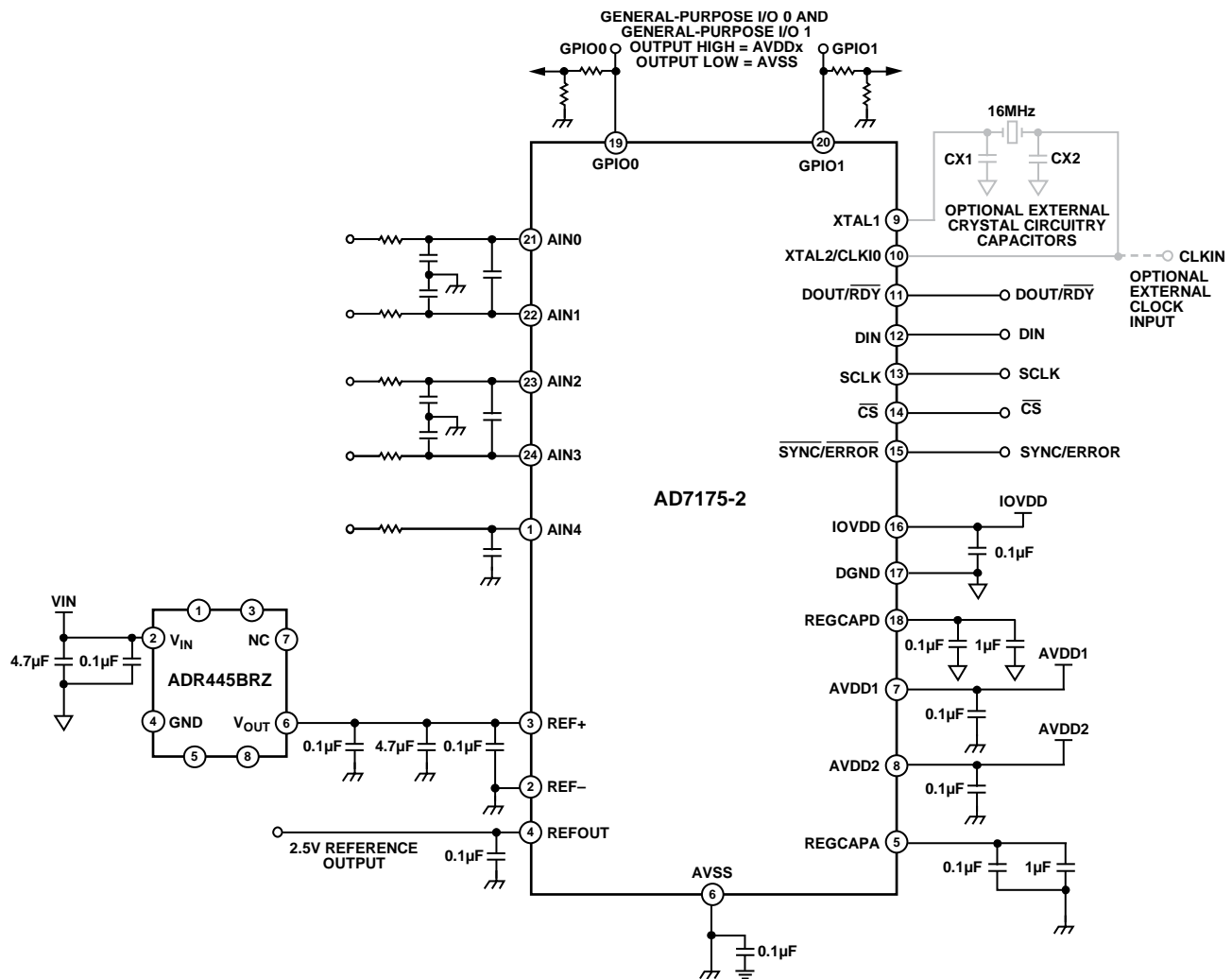


图44. 典型连接图

AD7175-2

用于数字IOVDD电源的线性稳压器执行类似的功能，将施加于IOVDD引脚的输入电压调节至1.8 V，用于内部数字滤波。串行接口信号始终采用该引脚上出现的IOVDD电源工作。这意味着，如果将3.3 V电压施加于IOVDD引脚，接口逻辑输入和输出将以此电平工作。

AD7175-2适合类型广泛的应用，可提供高分辨率和高精度。应用情形举例如下：

- 利用内部多路复用器快速扫描模拟输入通道
- 利用外部多路复用器和GPIO自动控制快速扫描模拟输入通道
- 在通道扫描或每通道ADC应用中以较低速度实现高分辨率
- 每通道单ADC：快速低延迟输出支持在外部微控制器、DSP或FPGA中进行进一步的应用特定滤波

电源

AD7175-2有三个独立的电源引脚：AVDD1、AVDD2和IOVDD。

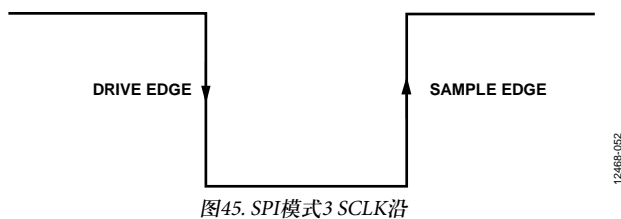
AVDD1为交叉点多路复用器和集成的模拟与基准输入缓冲器供电。AVDD1以AVSS为基准， $AVDD1 - AVSS = 5\text{ V}$ 。它可以是5 V单电源或 $\pm 2.5\text{ V}$ 分离电源。分离电源供电支持真双极性输入。采用分离电源时，必须注意绝对最大额定值(参见“绝对最大额定值”部分)。

AVDD2为内部1.8 V模拟LDO稳压器供电。此稳压器为ADC内核供电。AVDD2以AVSS为基准， $AVDD2 - AVSS$ 可以在5.5 V(最大值)到2 V(最小值)之间。

IOVDD为内部1.8 V数字LDO稳压器供电。此稳压器为ADC的数字逻辑供电。IOVDD设置ADC的SPI接口的电平。IOVDD以DGND为基准， $IOVDD - DGND$ 可以在5.5 V(最大值)到2 V(最小值)之间。

数字通信

AD7175-2有一个3线或4线SPI接口，它与QSPI™、MICROWIRE®和DSP兼容。该接口以SPI模式3工作，在CS接低电平时也能工作。在SPI模式3下，SCLK空闲时为高电平，SCLK的下降沿为驱动沿，上升沿为采样沿。这意味着，数据在下降/驱动沿输出，在上升/采样沿输入。



访问ADC寄存器映射

通信寄存器控制对ADC全部寄存器映射的访问。此寄存器是一个8位只写寄存器。上电或复位后，数字接口默认处于期待对通信寄存器执行一个写操作的状态；因此，所有通信均从写入通信寄存器开始。

写入通信寄存器的数据决定要访问哪一个寄存器，以及下一个操作是读操作还是写操作。寄存器地址位(RA[5:0])决定读或写操作的目标寄存器。

当对选定寄存器的读或写操作完成后，接口返回到默认状态，即期待对通信寄存器执行写操作的状态。

图46和图47显示了对一个寄存器的读写操作：首先将一个8位命令写入通信寄存器，然后是针对该寄存器的数据。

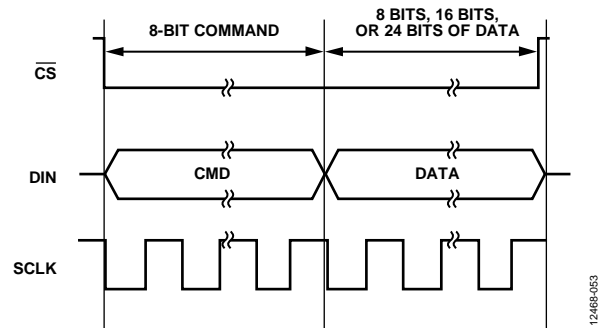


图46. 写入一个寄存器
(8位命令和寄存器地址，随后是8位、16位或24位数据；DIN上的数据长度取决于所选的寄存器)

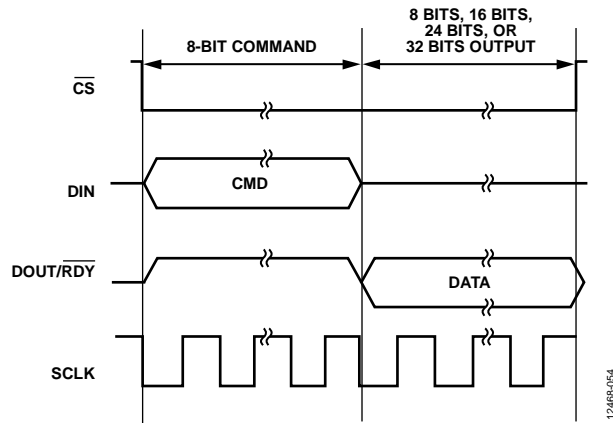


图47. 读取一个寄存器
(8位命令和寄存器地址，随后是8位、16位或24位数据；DOUT上的数据长度取决于所选的寄存器)

要验证器件通信是否正常，建议读取ID寄存器。ID寄存器是一个只读寄存器，对于AD7175-2，其值为0x0CDX。通信寄存器和ID寄存器详情参见表8和表9。

AD7175-2复位

当接口同步丧失时，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，可以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果 \overline{CS} 配合数字接口使用，让 \overline{CS} 变为高电平就能将数字接口设为默认状态，并中止任何串行接口操作。

配置概述

在加电或复位后，AD7175-2的默认配置如下：

- 通道配置。CH0使能，AIN0被选为正输入，AIN1被选为负输入。选择设置0。
- 设置配置。内部基准电压和模拟输入缓冲器均使能。禁用基准输入缓冲器。
- 滤波器配置寄。选择sinc5 + sinc1滤波器，选择最大输出数据速率250 kSPS。
- ADC模式。使能连续转换模式和内部振荡器。
- 接口模式。禁用CRC和数据加状态输出。

注意，表中只展示了少数几种寄存器设置选项，本列表只是一个示例。有关寄存器的完整信息，请参阅“寄存器详解”部分。

图48概要展示了ADC配置的建议更改流程，分为以下三个模块：

- 通道配置(见图48中的框A)
- 设置配置(见图48中的框B)
- ADC模式和接口模式配置(见图48中的框C)

通道配置

AD7175-2有4个独立通道和4种独立设置。用户可以选择任意通道上的任何模拟输入对，还可为任何通道选择4种设置中的任意一种，让用户在通道配置方面拥有全面的灵活性。此外，在使用差分输入和单端输入时，每个通道都可以拥有自己的专用设置，这样就可以按通道进行配置。

通道寄存器

通道寄存器用于选择5个模拟输入引脚(AIN0至AIN4)中的哪一个用作该通道的正模拟输入(AIN+)或负模拟输入(AIN-)。此寄存器还包含通道使能/禁用位和设置选择位，用于选择该通道使用四种可用设置中的哪一种。

当AD7175-2工作时，若有一个以上的通道被使能，通道序列器将按顺序遍历各使能的通道，从通道0到通道3。如果一个通道被禁用，序列器将跳过该通道。通道0的通道寄存器详情如表10所示。

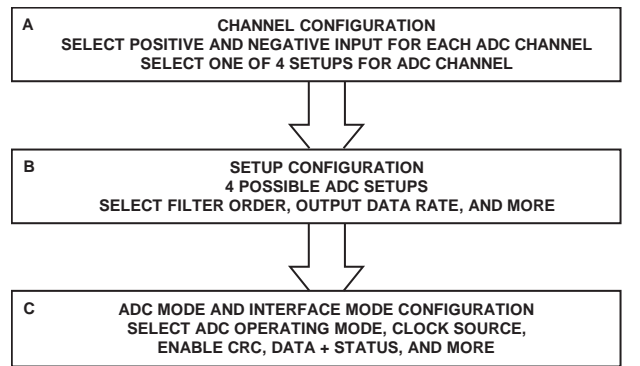


图48. 建立ADC配置流程

表8. 通信寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表9. ID寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x07	ID	[15:8]	ID[15:8]						0x0CDX	R		
		[7:0]	ID[7:0]									

表10. 通道0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x10	CH0	[15:8]	CH_EN0	保留	SETUP_SEL[2:0]		保留		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEG0						

AD7175-2

ADC设置

AD7175-2有4种独立设置。每种设置包括以下四个寄存器：

- 设置配置寄存器
- 滤波器配置寄存器
- 失调寄存器
- 增益寄存器

例如，设置0包括设置配置寄存器0、滤波器配置寄存器0、增益寄存器0和失调寄存器0。图49显示的是这些寄存器的分组情况。设置可从通道寄存器选择(参见“通道配置”部分)，每个通道可以分配四种独立设置中的一种。表11至表14显示了设置0相关的四个寄存器。该结构在设置1至设置3重复出现。

设置配置寄存器

设置配置寄存器允许用户通过选择双极性或单极性来选择ADC的输出编码。在双极性模式下，ADC支持负差分输入电压，输出编码为偏移二进制。在单极性模式下，ADC仅支持正差分电压，输出编码为标准二进制。无论何种情况，输入电压必须在AVDD1/AVSS电源电压范围内。利用此寄存器，用户可以选择基准电压源。有三个选项可用：内部2.5 V基准电压源、连接在REF+与REF-引脚之间的外部基准电压源或AVDD1 - AVSS。模拟输入和基准输入缓冲器也可以用该寄存器使能或禁用。

滤波器配置寄存器

滤波器配置寄存器选择ADC调制器的输出端使用何种数字滤波器。滤波器的阶数和输出数据速率通过设置此寄存器的各位来选择。更多信息请参阅“数字滤波器”部分。

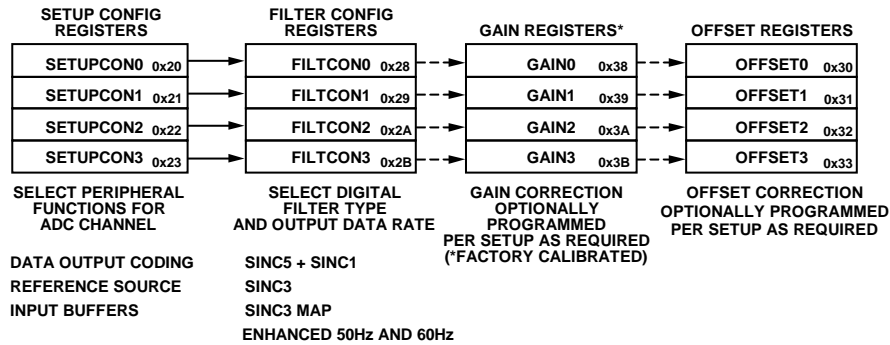


图49. ADC设置寄存器分组情况

表11. 设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	保留	REF_SEL0		保留					

表12. 滤波器配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留			ENHFILTEN0	ENHFILT0			0x0500	RW
		[7:0]	保留	ORDER0		ODR0						

表13. 增益配置0寄存器

寄存器	名称	位	位[23:0]	复位	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]	0x5XXXX0	RW

表14. 失调配置0寄存器

寄存器	名称	位	位[23:0]	复位	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]	0x800000	RW

增益寄存器

增益寄存器是一个24位寄存器，用来保存ADC的增益校准系数。增益寄存器是读/写寄存器。这些寄存器在上电时加载工厂校准系数。因此，每个器件具有不同的默认系数。如果用户启动系统满量程校准，或者写入增益寄存器，该默认值将被自动覆盖。有关校准的更多信息请参见“工作模式”部分。

失调寄存器

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。失调寄存器为24位读/写寄存器。如果用户启动内部或系统零电平校准，或者写入失调寄存器，该上电复位值将被自动覆盖。

ADC模式和接口模式配置

ADC模式寄存器和接口模式寄存器用于配置供AD7175-2使用的内核外设，同时也用于配置数字接口的模式。

ADC模式寄存器

ADC模式寄存器主要用于设置ADC的转换模式：连续转换或单次转换。用户也可以选择待机和掉电模式以及任何校准模式。此外，该寄存器还包含时钟源选择位和内部基准电压源使能位。基准电压源选择位包含在设置配置寄存器中(更多信息参见“ADC设置”部分)。

接口模式寄存器

接口模式寄存器用于配置数字接口的工作模式。利用此寄存器，用户可以控制数据字长度、CRC使能、数据加状态读取和连续读取模式。两种寄存器的详情请参阅表15和表16。更多信息请参阅“数字接口”部分。

表15. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	保留		Delay			0x8000	RW
		[7:0]	保留	Mode			CLOCKSEL		保留			

表16. 接口模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16		

AD7175-2

了解配置灵活性

AD7175-2最简单的实现方式是将模拟输入就近配对成为2个差分输入通道，并在这2个差分通道上使用相同的设置、增益校正和失调校正寄存器。在这种情况下，用户选择以下差分输入：AIN0/AIN1和AIN2/AIN3。在图50中，黑色字体所示寄存器必须针对这样一种配置进行编程。在这种配置中，显示为灰色字体的寄存器是冗余的。

对于任何应用案例，对增益和失调寄存器进行编程都是可选的，寄存器框图之间的虚线也表明了这一点。

实现这2个全差分输入的另一方法是使用4种可用设置。这样做的动因包括：各差分输入存在不同的速度/噪声要求，或者各通道可能有特定的失调或增益校正。图51展示了每个差分输入可能使用独立设置的方式，从而为每个通道的配置带来全面的灵活性。

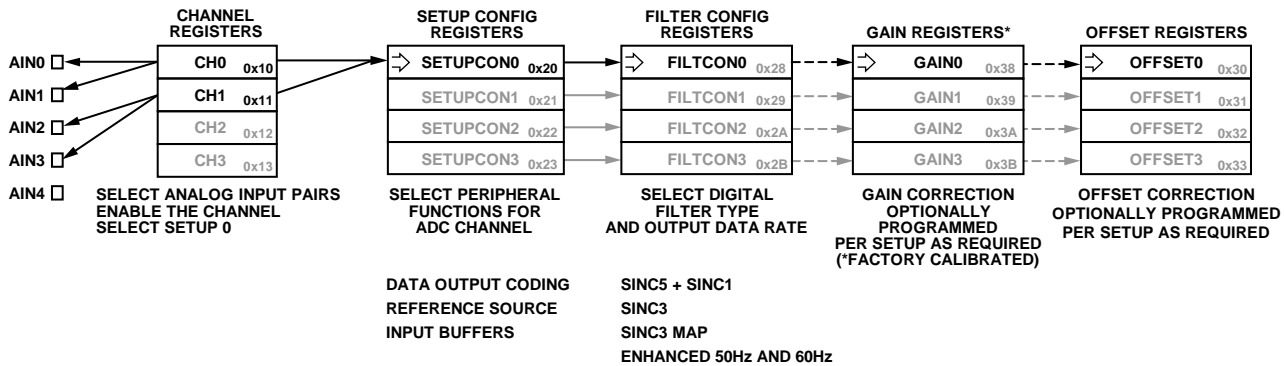


图50. 2个全差分输入，全部使用一种设置(SETUPCON0; FILTCON0; GAIN0; OFFSET0)

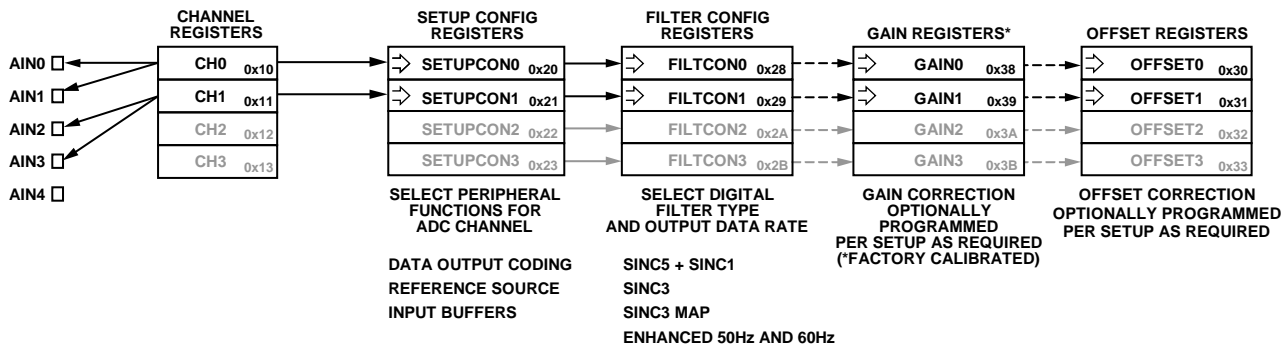


图51. 2个全差分输入(各通道一种设置)

图52中的示例展示了通道寄存器在模拟输入引脚与设置配置下游之间的关系。在该示例中，需要1个差分输入和2个单端输入。单端输入为AIN2/AIN4和AIN3/AIN4组合。差分输入对为AIN0/AIN1，使用设置0。2个单端输入对被设置为诊断，因此，它们使用与差分输入不同的设置，但单端输入共用一种设置：设置1。鉴于选择了2种设置供使用，因此，根据需要对SETUPCON0和SETUPCON1寄存器进行

编程，同时还根据需要对FILTCON0和FILTCON1寄存器进行编程。通过对GAIN0和GAIN1寄存器以及OFFSET0和OFFSET1寄存器编程，可以根据具体设置使用可选的增益和失调校正。

在图52所示的例子中，使用的是CH0至CH2寄存器。将这些寄存器的MSB(CH_EN0至CH_EN2)设置为1，以使能这些通道以及它们对应的交叉点多路复用器组合。当AD7175-2转换时，序列器以升序从CH0转到CH1，再到CH2，最后返回CH0，重复整个序列。

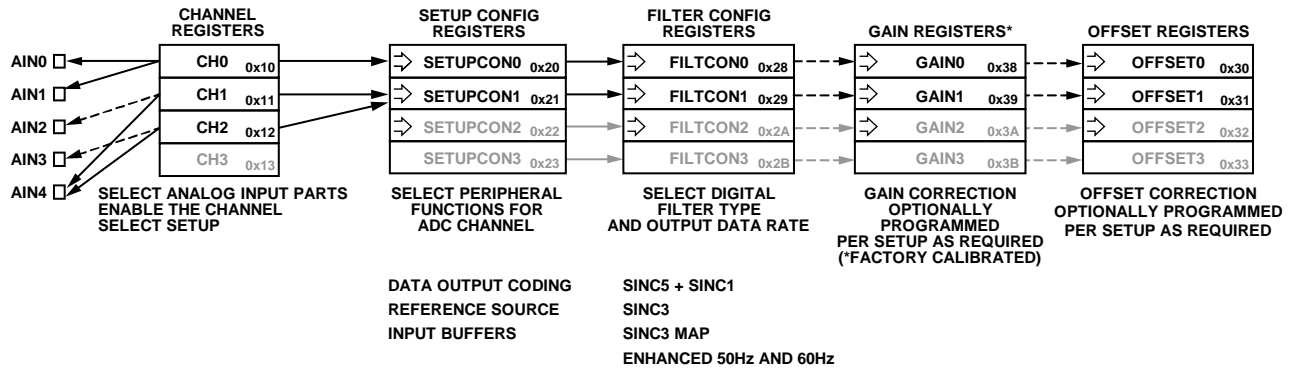


图52. 混合差分 and 单端配置(使用多种共用设置)

12468-048

电路描述

模拟输入缓冲

AD7175-2在八路ADC模拟输入上都集成了真轨到轨、精密单位增益缓冲器。缓冲器的好处是给用户带来高输入阻抗，并且典型输入电流只有30 nA，使得高阻抗信号源可以直接连到模拟输入。缓冲器完全驱动内部ADC开关电容采样网络，简化模拟前端电路要求，同时每个缓冲器的典型功耗仅2.9 mA，效率非常高。每个模拟输入缓冲放大器均完全斩波，就是说，这会使缓冲器的失调误差漂移和1/f噪声最小。ADC和缓冲器组合的1/f噪声曲线如图53所示。

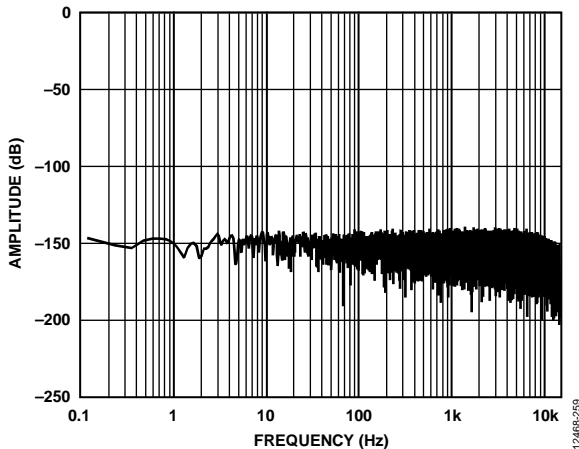


图53. 短路输入FFT(模拟输入缓冲器使能)

与许多分立放大器不同，模拟输入缓冲器以供电轨工作时，线性度不会下降。以AVDD1和AVSS供电轨或接近供电轨的电压工作时，输入电流会提高。在高温时，这种提高最为明显。图42和图43显示了不同条件下的输入电流。模拟输入缓冲器禁用时，AD7175-2的平均输入电流以48 $\mu\text{A}/\text{V}$ 的速率随差分输入电压而线性变化。

交叉点多路复用器

有5个模拟输入引脚：AIN0、AIN1、AIN2、AIN3和AIN4。各引脚均连接到内部交叉点多路复用器。交叉点多路复用器支持将这些引脚配置为单端或全差分输入对。AD7175-2最多可以有四个有效通道。使能多个通道时，各通道按从号码低到高的顺序处理。多路复用器的输出连接到集成真轨到轨缓冲器的输入。可以旁路这些缓冲器，将多路复用器的输出直接连到ADC的开关电容输入。简化的模拟输入电路如图54所示。

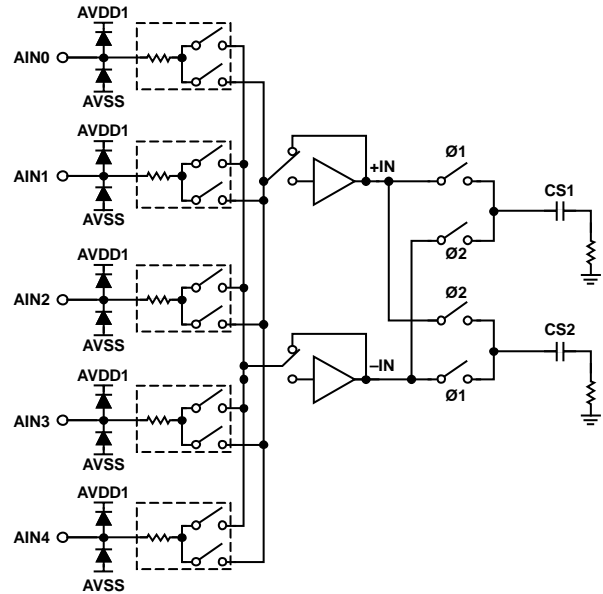


图54. 简化模拟输入电路

CS1和CS2为皮法级电容。此容值是采样电容和寄生电容的组合。

全差分输入

AIN0至AIN4模拟输入均连接到交叉点多路复用器，因此可以使用信号的任意组合来构成模拟输入对。这样，用户就可以选择2个全差分输入或4个单端输入。

若有两个全差分输入路径连接到AD7175-2，考虑到引脚彼此的相对位置，建议将AIN0/AIN1用作一个差分输入对，并将AIN2/AIN3用作第二个差分输入对。将所有模拟输入去耦至AVSS。

单端输入

用户也可以选择测量四路不同的单端模拟输入。这种情况下，各路模拟输入被转换为待测量的单端输入与设定的模拟输入公共引脚之间的差值。由于存在一个交叉点多路复用器，因此用户可以将任意模拟输入设置为公共引脚。例如，将AIN4引脚连接到AVSS或REFOUT电压(即AVSS + 2.5 V)，并在配置交叉点多路复用器时选择此输入。在单端输入下使用AD7175-2时，INL性能会降低。

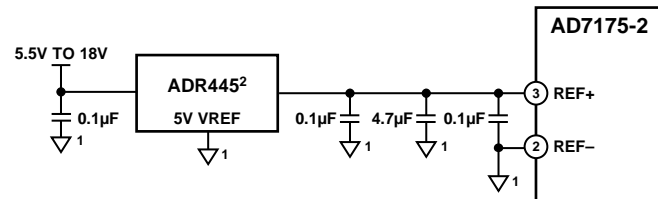
AD7175-2基准电压源

AD7175-2允许用户将外部基准电压源施加于器件的REF+和REF-引脚，或者使用内部2.5 V、低噪声、低漂移基准电压源。适当设置配置寄存器的REF_SELx位(位[5:4])，可以选择要使用的基准电压源。设置配置0寄存器的结构如表17所示。上电时，AD7175-2默认使用内部2.5 V基准电压源。

外部基准电压源

AD7175-2具有全差分基准电压输入，通过REF+和REF-引脚施加。推荐使用标准低噪声、低漂移基准电压源，如ADR445、ADR444和ADR441等。将外部基准电压施加于AD7175-2基准电压引脚，如图55所示。将任何外部基准电压源的输出去耦至AVSS。如图55所示，ADR445输出通过

其输出端的0.1 μF电容去耦以确保稳定。输出然后连接到一个4.7 μF电容，它用作ADC所需动态电荷的储存库，REF+输入端连接一个0.1 μF去耦电容。此电容应尽可能靠近REF+和REF-引脚。REF-引脚直接连到AVSS电位。AD7175-2上电时，内部基准电压源默认使能，并通过REFOUT引脚输出。当使用外部基准电压源而非内部基准电压源为AD7175-2供电时，必须注意REFOUT引脚的输出。如果应用的其它地方不使用内部基准电压源，应确保不要将REFOUT引脚硬线连接到AVSS，否则会在上电时消耗大量电流。上电时，如果不使用内部基准电压源，应写入ADC模式寄存器，禁用内部基准电压源。这是由ADC模式寄存器的REF_EN位(位15)控制，如表18所示。



¹ALL DECOUPLING IS TO AVSS.

²ANY OF THE ADR44x FAMILY OF REFERENCES CAN BE USED. THE ADR444 AND ADR441 BOTH ENABLE REUSE OF THE 5V ANALOG SUPPLY NEEDED FOR AVDD1 TO POWER THE REFERENCE VIN.

12468-159

图55. 外部基准电压源ADR445连接到AD7175-2基准电压引脚

表17. 设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW
		[7:0]	BURNOUT_EN0	保留	REF_SEL0		保留					

表18. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	保留		Delay		0x8000	RW	
		[7:0]	保留	Mode			CLOCKSEL		保留			

AD7175-2

内部基准电压源

AD7175-2内置低噪声、低漂移基准电压源。内部基准电压源提供2.5 V输出。ADC模式寄存器的REF_EN位设置为1后，内部基准电压源通过REFOUT引脚输出，并通过一个0.1 μF 电容去耦至AVSS。AD7175-2的内部基准电压源在上电时默认使能，并且被选择为ADC的基准电压源。使用内部基准电压源时，INL性能会降低，如图23所示。

REFOUT信号经过缓冲后输出到该引脚。该信号可以在电路外部使用，用作外部放大器配置的共模源。

基准电压输入缓冲

AD7175-2在两路ADC基准电压输入上都集成了真轨到轨、精密单位增益缓冲器。缓冲器的好处是给用户带来高输入阻抗，使得外部高阻抗信号源可以直接连到基准电压输入。集成的基准电压缓冲器可以完全驱动内部基准电压开关电容采样网络，简化基准电压电路要求，同时每个缓冲器的典型功耗仅2.9 mA，效率非常高。每个基准电压输入缓冲放大器均完全斩波，就是说，这会使缓冲器的失调误差漂移和1/f噪声最小。使用ADR445、ADR444和ADR441等外部基准电压源时，不需要这些缓冲器，因为这些基准电压源经过适当去耦后，可以直接驱动基准输入。

时钟源

AD7175-2使用标称16 MHz的主时钟。AD7175-2可以从以下三个来源获得采样时钟：

- 内部振荡器
- 外部晶振
- 外部时钟源

数据手册中列出的所有输出数据速率均与16 MHz的主时钟速率相关。例如，使用外部源提供的较低时钟频率时，所有列出的数据速率将按比例缩放。为实现额定数据速率，尤其是支持50 Hz和60 Hz抑制的速率，应使用16 MHz时钟。主时钟的来源通过设置ADC模式寄存器的CLOCKSEL位(位[3:2])来选择，如表18所示。AD7175-2上电和复位时默认使用内部振荡器工作。可以利用SINC3_MAPx位，微调低输出数据速率时的输出数据速率和滤波器陷波频率。更多信息参见“Sinc3滤波器”部分。

内部振荡器

内部振荡器工作频率为16 MHz，可以用作ADC主时钟。它是AD7175-2的默认时钟源，额定精度为 $\pm 2.5\%$ 。

有一个选项允许内部时钟振荡器通过XTAL2/CLKIO引脚输出。时钟输出被驱动到IOVDD逻辑电平。由于输出驱动器

会产生干扰，使用此选项可能影响AD7175-2的直流性能。性能受影响的程度取决于IOVDD电压。IOVDD电压越高，则驱动器的逻辑输出摆幅越宽，因而性能受到的影响越大。如果IOSTRENGTH位设置为较高的IOVDD电平，则影响更严重(更多信息参见表28)。

外部晶振

如果需要更高精度、更低抖动的时钟源，AD7175-2可以使用外部晶振来产生主时钟。晶振连接到XTAL1和XTAL2/CLKIO引脚。建议使用的晶振之一是Epson-Toyocom的16 MHz、10 ppm、9 pF晶振FA-20H，它采用表贴封装。如图56所示，在连接晶振的走线到XTAL1和XTAL2/CLKIO引脚之间插入两个电容。利用这些电容可以调谐电路。应将这些电容连接到DGND引脚。这些电容的值取决于晶振与XTAL1和XTAL2/CLKIO引脚之间的走线连接的长度和容值。因此，印刷电路板(PCB)布局和采用的晶振不同，这些电容的值也不同。

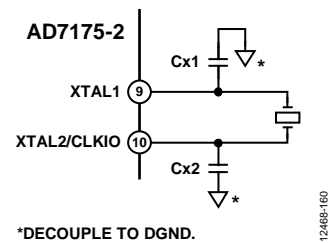


图56. 外部晶振连接

外部晶振电路可能对SCLK边沿敏感，具体情况取决于SCLK频率、IOVDD电压、晶振电路布局和所用的晶振。晶振启动时，SCLK边沿引起的任何扰动都可能会在晶振输入端引起双边沿，造成无效转换，直至晶振电压达到足够高的电平，使得SCLK边沿的任何干扰都不足以引起双时钟。确保晶振电路启动后已达到足够高的电平，再施加SCLK，可以避免双时钟问题。

考虑到晶振电路的性质，建议在要求条件下，利用最终PCB布局和晶振对电路进行经验测试，以确保它能正常工作。

外部时钟

AD7175-2也可以使用外部提供的时钟。在使用外部时钟的系统中，外部时钟连接到XTAL2/CLKIO引脚。这种配置中，XTAL2/CLKIO引脚接受外部提供的时钟，并将其路由至调制器。此时钟输入的逻辑电平由施加于IOVDD引脚的电压定义。

数字滤波器

AD7175-2有三个灵活的滤波器选项，支持对噪声、建立时间和抑制性能进行优化：

- Sinc5 + sinc1滤波器
- Sinc3滤波器
- 增强型50 Hz和60 Hz抑制滤波器

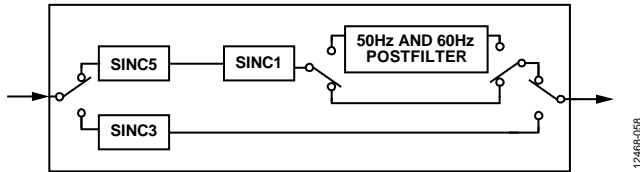


图57. 数字滤波器功能框图

滤波器和输出数据速率是通过所选设置的滤波器配置寄存器的相应位来配置。每个通道可以使用不同的设置，因而可以使用不同的滤波器和输出数据速率。更多信息参见“寄存器详解”部分。

SINC5 + SINC1滤波器

Sinc5 + Sinc1滤波器主要用于多路复用应用，在10 kSPS和更低的输出数据速率时，可实现单周期建立。Sinc5模块输出固定在250 kSPS的最大速率，Sinc1模块的输出数据速率可变，从而控制最终ADC输出数据速率。图58显示Sinc5 + Sinc1滤波器在50 SPS输出数据速率时的频域响应。Sinc5 + Sinc1滤波器随频率的滚降速度很慢，陷波频率很窄。

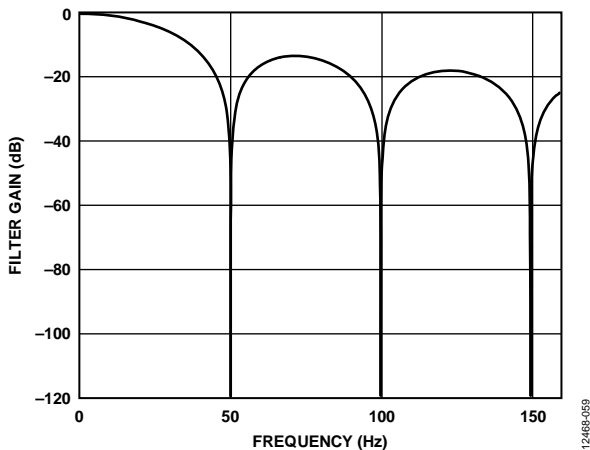


图58. Sinc5 + Sinc1滤波器在50 SPS ODR时的响应

表19和表20列出了Sinc5 + Sinc1滤波器的输出数据速率以及相应的建立时间和均方根噪声。

SINC3滤波器

Sinc3滤波器在较低速率时可实现最佳单通道噪声性能，因此最适合单通道应用。Sinc3滤波器的建立时间始终等于

$$t_{SETTLE} = 3/\text{输出数据速率}$$

图59所示为Sinc3滤波器的频域滤波器响应。Sinc3滤波器具有良好的随频率滚降性能，并具有宽陷波频率，可实现良好的陷波频率抑制。

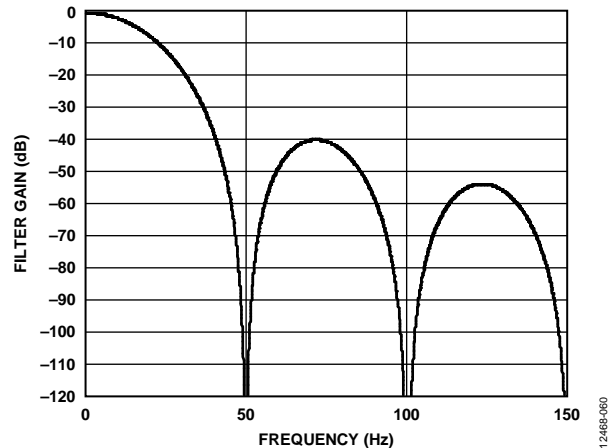


图59. Sinc3滤波器响应

表21和表22列出了Sinc3滤波器的输出数据速率以及相应的建立时间和均方根噪声。通过设置滤波器配置寄存器的SINC3_MAPx位，可以精密调整Sinc3滤波器的输出数据速率。如果此位置1，滤波器寄存器的映射将变为直接对Sinc3滤波器的抽取率进行编程。所有其他选项均无效。单通道的数据速率可通过下式计算：

$$\text{Output Data Rate} = \frac{f_{MOD}}{32 \times \text{FILTCONx}[14:0]}$$

其中：

f_{MOD} 为调制器速率(MCLK/2)；对于16 MHz MCLK，它等于8 MHz。

FILTCONx[14:0]是滤波器配置寄存器的内容，不包括MSB。

例如，通过将FILTCONx[14:0]位设置为5000以使能SINC3_MAPx，可以实现50 SPS的输出数据速率。

AD7175-2

单周期建立

AD7175-2可以配置如下：将ADC模式寄存器的SING_CYC位设置为1，以便仅输出完全建立的数据，从而将ADC有效置于单周期建立模式。此模式将输出数据速率降至与选定输出数据速率的ADC建立时间相等的水平，从而实现单周期建立。Sinc5 + Sinc1滤波器在10 kSPS及更低的输出数据速率时，此位不起作用。

图60显示了禁用此模式且选择Sinc3滤波器时模拟输入上的阶跃。阶跃变化后，为使输出达到最终稳定值，模拟输入至少需要三个周期。

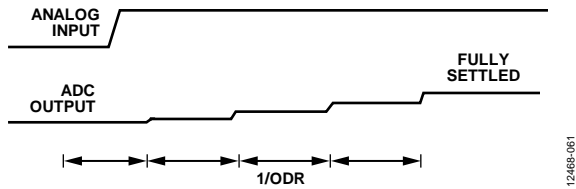


图60. 无单周期建立的阶跃输入

图61显示了单周期建立使能时模拟输入上的相同阶跃。为使输出完全建立，模拟输入至少需要一个周期。输出数据速率(如RDY信号所示)现在降为与选定输出数据速率的建立时间相当的水平。

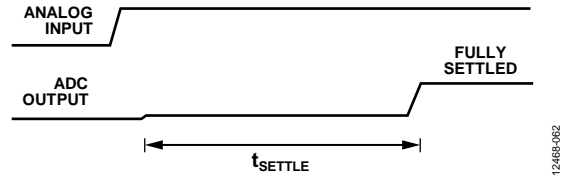


图61. 带单周期建立的阶跃输入

表19. 使用Sinc5 + Sinc1滤波器时(禁用输入缓冲器)的输出数据速率、建立时间和噪声

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能 ¹	输出数据速率 (SPS/通道); SING_CYC = 1或使能多个通道 ¹	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$)	采用5 V基准电压时的有效分辨率 (位)	噪声 ($\mu\text{V p-p}$) ²	采用5 V基准电压时的峰峰值分辨率 (位)
250,000	50,000	20 μs	250,000	8.7	20.1	65	17.2
125,000	41,667	24 μs	125,000	7.2	20.4	60	17.3
62,500	31,250	32 μs	62,500	5.5	20.8	43	17.8
50,000	27,778	36 μs	50,000	5	20.9	41	17.9
31,250	20,833	48 μs	31,250	4	21.3	32	18.3
25,000	17,857	56 μs	25,000	3.6	21.4	29	18.4
15,625	12,500	80 μs	15,625	2.9	21.7	22	18.8
10,000	10,000	100 μs	11,905	2.5	21.9	18.3	19.1
5000	5000	200 μs	5435	1.7	22.5	12	19.7
2500	2500	400 μs	2604	1.2	23.0	8.2	20.2
1000	1000	1.0 ms	1016	0.77	23.6	5.2	20.9
500	500.0	2.0 ms	504	0.57	24	3.2	21.6
397.5	397.5	2.516 ms	400.00	0.5	24	3	21.7
200	200.0	5.0 ms	200.64	0.36	24	2	22.3
100	100	10 ms	100.16	0.25	24	1.3	22.9
59.92	59.92	16.67 ms	59.98	0.19	24	1.1	23.1
49.96	49.96	20.016 ms	50.00	0.18	24	0.95	23.3
20	20.00	50.0 ms	20.01	0.11	24	0.6	24
16.66	16.66	60.02 ms	16.66	0.1	24	0.45	24
10	10.00	100 ms	10.00	0.08	24	0.4	24
5	5.00	200 ms	5.00	0.07	24	0.34	24

¹ 建立时间舍入到最接近的微秒数。这反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 1000个采样。

表20. 使用Sinc5 + Sinc1滤波器时(使能输入缓冲器)的输出数据速率、建立时间和噪声

默认输出数据速率 (SPS); SING_CYC = 0且 单通道使能 ¹	输出数据速率 (SPS/通道); SING_CYC = 1或 使能多个通道 ¹	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$)	采用5 V基准电压时 的有效分辨率(位)	噪声 ($\mu\text{V p-p}$) ²	采用5 V基准电压 时的峰峰值分辨率 (位)
250,000	50,000	20 μs	250,000	9.8	20	85	16.8
125,000	41,667	24 μs	125,000	8.4	20.2	66	17.2
62,500	31,250	32 μs	62,500	6.4	20.6	55	17.5
50,000	27,778	36 μs	50,000	5.9	20.7	49	17.6
31,250	20,833	48 μs	31,250	4.8	21	39	18.0
25,000	17,857	56 μs	25,000	4.3	21.1	33	18.2
15,625	12,500	80 μs	15,625	3.4	21.5	26	18.6
10,000	10,000	100 μs	11,905	3	21.7	23	18.7
5000	5000	200 μs	5435	2.1	22.2	16	19.3
2500	2500	400 μs	2604	1.5	22.7	10	19.9
1000	1000	1.0 ms	1016	0.92	23.4	5.7	20.7
500	500.0	2.0 ms	504	0.68	23.8	3.9	21.3
397.5	397.5	2.516 ms	400.00	0.6	24	3.7	21.4
200	200.0	5.0 ms	200.64	0.43	24	2.2	22.1
100	100	10 ms	100.16	0.32	24	1.7	22.5
59.92	59.92	16.67 ms	59.98	0.23	24	1.2	23
49.96	49.96	20.016 ms	50.00	0.2	24	1	23.3
20	20.00	50.0 ms	20.01	0.14	24	0.75	23.7
16.66	16.66	60.02 ms	16.66	0.13	24	0.66	23.9
10	10.00	100 ms	10.00	0.1	24	0.47	24
5	5.00	200 ms	5.00	0.07	24	0.32	24

¹ 建立时间舍入到最接近的微秒数。这反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 1000个采样。

AD7175-2

表21. 使用Sinc3滤波器时(禁用输入缓冲器)的输出数据速率、建立时间和噪声

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能 ¹	输出数据速率 (SPS/通道); SING_CYC = 1或使能多个通道 ¹	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$)	采用5 V基准电压时的有效分辨率 (位)	噪声 ($\mu\text{V p-p}$) ²	采用5 V基准电压时的峰峰值分辨率 (位)
250,000	83,333	12 μs	250,000	210	15.5	1600	12.6
125,000	41,667	24 μs	125,000	28	18.4	200	15.6
62,500	20,833	48 μs	62,500	5.2	20.9	40	17.9
50,000	16,667	60 μs	50,000	4.2	21.2	34	18.2
31,250	10,417	96 μs	31,250	3.2	21.6	26	18.6
25,000	8333	120 μs	25,000	2.9	21.7	23	18.7
15,625	5208	192 μs	15,625	2.2	22.1	17	19.2
10,000	3333	300 μs	10,000	1.8	22.4	14	19.4
5000	1667	6 μs	5000	1.3	22.9	9.5	20
2500	833	1.2 ms	2500	0.91	23.4	6	20.7
1000	333.3	3 ms	1000	0.56	24	3.9	21.3
500	166.7	6 ms	500	0.44	24	2.5	21.9
400	133.3	7.5 ms	400	0.4	24	2.3	22.1
200	66.7	15 ms	200	0.25	24	1.4	22.8
100	33.33	30 ms	100	0.2	24	1	23.3
60	19.99	50.02 ms	59.98	0.13	24	0.8	23.6
50	16.67	60 ms	50	0.13	24	0.7	23.8
20	6.67	150 ms	20	0.08	24	0.42	24
16.67	5.56	180 ms	16.67	0.07	24	0.37	24
10	3.33	300 ms	10	0.06	24	0.28	24
5	1.67	600 ms	5	0.05	24	0.21	24

¹ 建立时间舍入到最接近的微秒数。这反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 1000个采样。

表22. 使用Sinc3滤波器时(使能输入缓冲器)的输出数据速率、建立时间和噪声

默认输出数据速率 (SPS); SING_CYC = 0且 单通道使能 ¹	输出数据速率 (SPS/通道); SING_CYC = 1或 使能多个通道 ¹	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$)	采用5 V基准电压 时的有效分辨率 (位)	噪声 ($\mu\text{V p-p}$) ²	采用5 V基准电压时 的峰峰值分辨率 (位)
250,000	83,333	12 μs	250,000	210	15.5	1600	12.6
125,000	41,667	24 μs	125,000	28	18.4	210	15.5
62,500	20,833	48 μs	62,500	5.8	20.7	48	17.7
50,000	16,667	60 μs	50,000	4.9	21	41	17.9
31,250	10,417	96 μs	31,250	3.8	21.3	30	18.3
25,000	8333	120 μs	25,000	3.4	21.5	26	18.6
15,625	5208	192 μs	15,625	2.6	21.9	18	19.1
10,000	3333	300 μs	10,000	2.1	22.2	16	19.3
5000	1667	6 μs	5000	1.5	22.7	11	19.8
2500	833	1.2 ms	2500	1.1	23.1	7	20.4
1000	333.3	3 ms	1000	0.71	23.7	4.5	21.1
500	166.7	6 ms	500	0.52	24	3	21.7
400	133.3	7.5 ms	400	0.41	24	2.7	21.8
200	66.7	15 ms	200	0.32	24	1.8	22.4
100	33.33	30 ms	100	0.2	24	1.2	23
60	19.99	50.02ms	59.98	0.17	24	1.1	23.1
50	16.67	60 ms	50	0.15	24	0.83	23.5
20	6.67	150 ms	20	0.13	24	0.61	24
16.67	5.56	180 ms	16.67	0.12	24	0.6	24
10	3.33	300 ms	10	0.1	24	0.55	24
5	1.67	600 ms	5	0.08	24	0.35	24

¹ 建立时间舍入到最接近的微秒数。这反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 1000个采样。

AD7175-2

增强型50 Hz和60 Hz抑制滤波器

增强型滤波器旨在提供50 Hz和60 Hz同时抑制，并且允许用户用建立时间交换抑制性能。这些滤波器可以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz \pm 1 Hz和60 Hz \pm 1 Hz干扰。这些滤波器是通过对Sinc5 + Sinc1滤波器输出

进行后滤波实现的。因此，使用增强型滤波器时，为了实现额定建立时间和噪声性能，必须选择Sinc5 + Sinc1滤波器。表23显示了输出数据速率及相应的建立时间、抑制性能和均方根噪声。图62至图69显示了增强型滤波器的频域响应。

表23. 输出数据速率、噪声、建立时间和抑制——使用增强型滤波器

输出数据速率(SPS)	建立时间(ms)	50 Hz \pm 1 Hz和60 Hz \pm 1 Hz同时抑制(dB) ¹	噪声(μ V rms)	峰峰值分辨率(位)	注释
输入缓冲器禁用					
27.27	36.67	47	0.22	22.7	参见图62和图65
25	40.0	62	0.2	22.9	参见图63和图66
20	50.0	85	0.2	22.9	参见图64和图67
16.667	60.0	90	0.17	23	参见图68和图69
输入缓冲器使能					
27.27	36.67	47	0.22	22.7	参见图62和图65
25	40.0	62	0.22	22.7	参见图63和图66
20	50.0	85	0.21	22.8	参见图64和图67
16.667	60.0	90	0.21	22.8	参见图68和图69

¹ 主时钟 = 16.00 MHz。

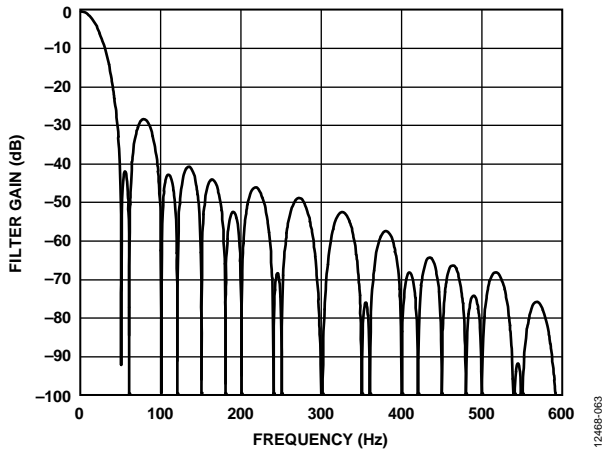


图62. 27.27 SPS ODR、36.67 ms建立时间

12468-063

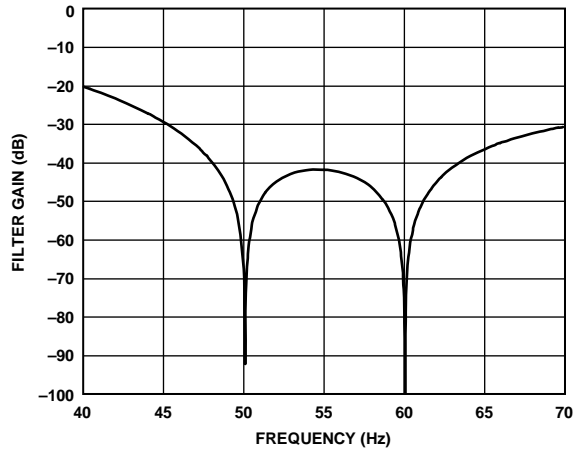


图65. 27.27 SPS ODR、36.67 ms建立时间

12468-064

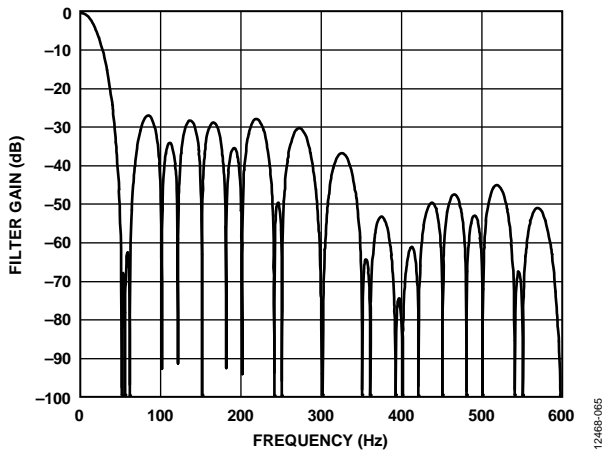


图63. 25 SPS ODR、40 ms建立时间

12468-065

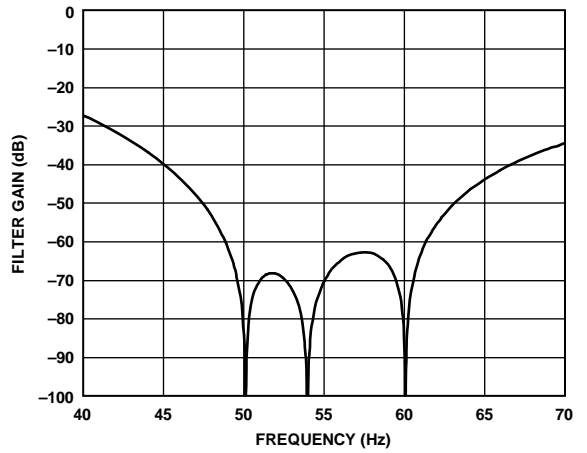


图66. 25 SPS ODR、40 ms建立时间

12468-066

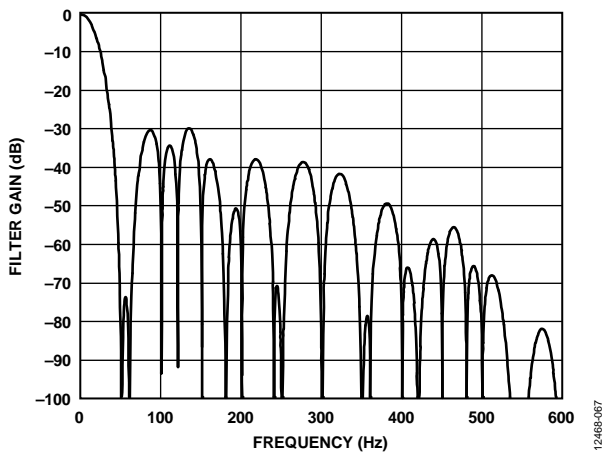


图64. 20 SPS ODR、50 ms建立时间

12468-067

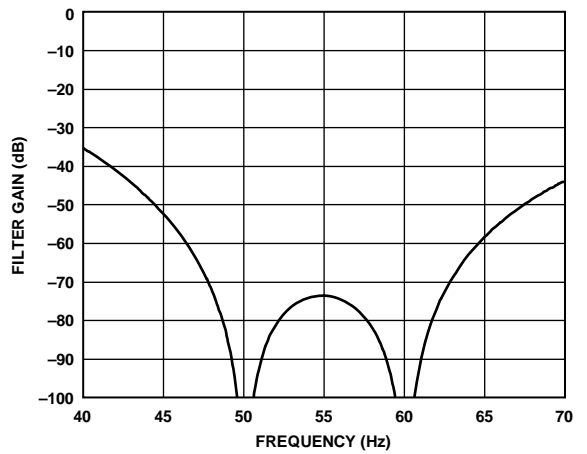


图67. 20 SPS ODR、50 ms建立时间

12468-068

AD7175-2

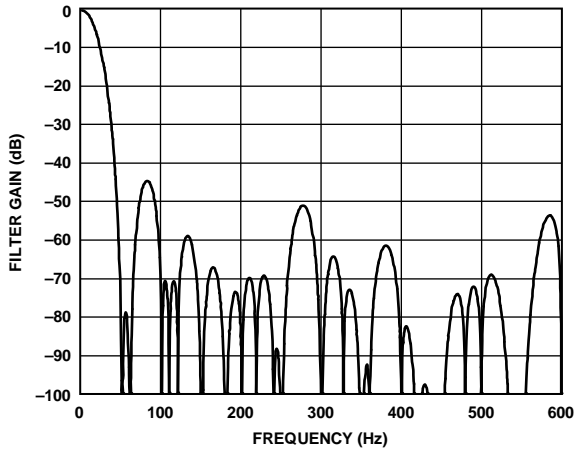


图68. 16.667 SPS ODR、60 ms建立时间

12468-069

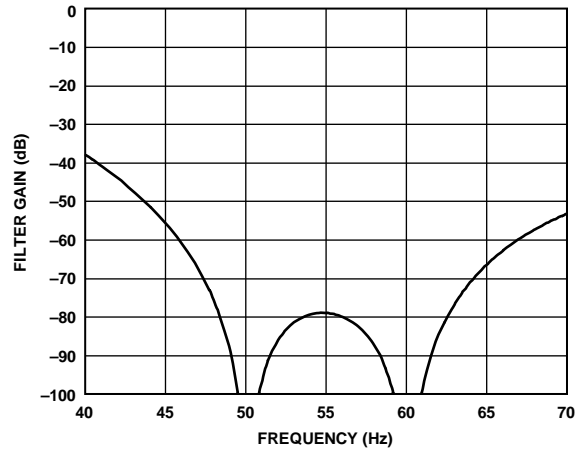


图69. 16.667 SPS ODR、60 ms建立时间

12468-070

工作模式

AD7175-2有多种工作模式，通过ADC模式寄存器和接口模式寄存器可以设置工作模式(参见表27和表28)。这些模式列示如下，下文将介绍各种模式：

- 连续转换模式
- 连续读取模式
- 单次转换模式
- 待机模式
- 掉电模式
- 校准模式(三种)

连续转换模式

连续转换模式是上电后的默认转换模式。AD7175-2连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果 \overline{CS} 为低电平，则完成一次转换时， \overline{RDY} 输出也会变为低电平。若要读取转换结果，用户需要写入通信寄

存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后，DOUT/RDY引脚变为高电平。如需要，用户可以多次读取该寄存器。但用户必须确保在下一转换完成前，不访问数据寄存器；否则，新的转换结果将丢失。

如果使能了多个通道，ADC将自动遍历各使能通道，在每个通道上执行一次转换。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时， \overline{RDY} 输出就会变为低电平。然后，用户可以读取转换结果，同时ADC转换下一个使能通道。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器指示对应的转换通道。

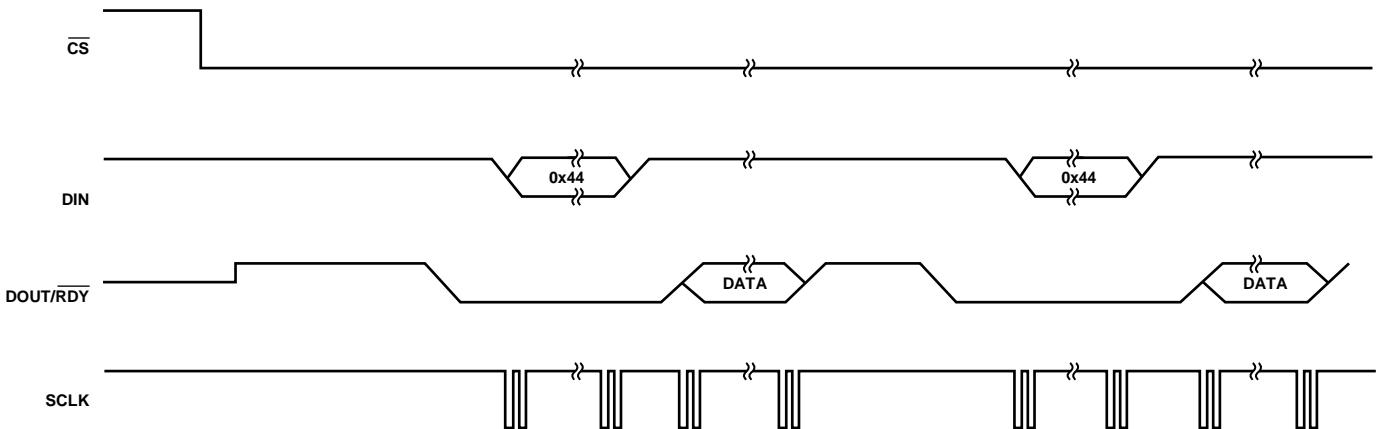


图70. 连续转换模式

12468-071

AD7175-2

连续读取模式

在连续读取模式下，读取ADC数据之前不需要写入通信寄存器，只需在RDY变为低电平(表示转换结束)后提供所需数量的SCLK。读取转换结果后，RDY返回到高电平，直到下一转换结果可用为止。这种模式下，数据只能被读取一次，而且用户必须确保在下一转换完成前读取数据字。如果在下一转换完成之前，用户尚未读取转换结果，或者为AD7175-2提供的串行时钟数不足以完成对数据字的读取，则在下一转换完成之前不久，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。要使用连续读取模式，ADC必须配置为连续转换模式。

要启用连续读取模式，应将接口模式寄存器的CONTREAD位设置为1。此位设置为1时，唯一可能的串行接口操作是读取数据寄存器。要退出连续读取模式，应在RDY输出为低电平时发出一个伪读取ADC数据寄存器命令(0x44)，或者应用软件复位，即在CS = 0且DIN = 1时提供64个SCLK，从而复位ADC及所有寄存器内容。接口被置于连续读取模式后只能识别这些命令。在连续读取模式下，在有指令写入器件前，DIN应保持低电平。

使能多个ADC通道时，各通道轮流输出；如果接口模式寄存器的DATA_STAT置1，数据将为附加状态位。状态寄存器指示对应的转换通道。

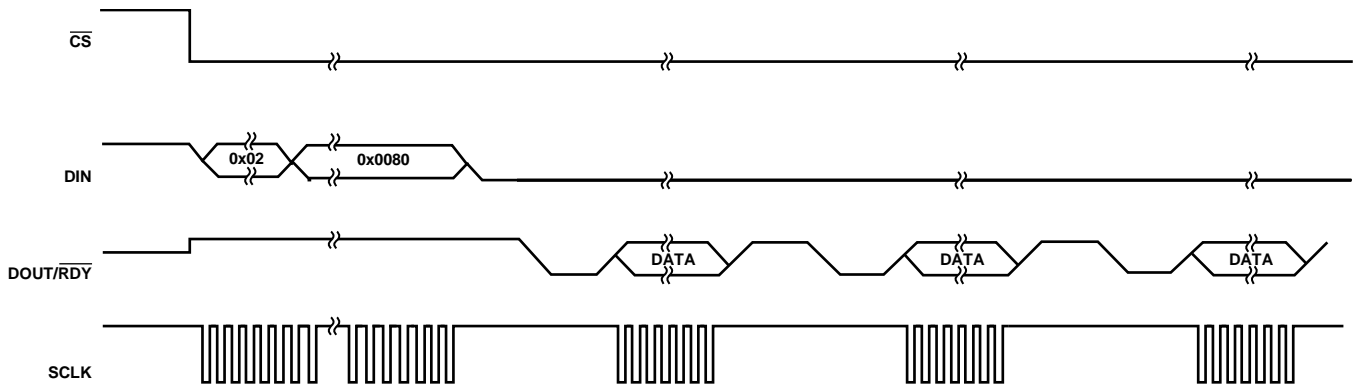


图71. 连续读取模式

12488-072

单次转换模式

在单次转换模式下，AD7175-2执行一次转换，完成转换后即被置于待机模式。 $\overline{\text{RDY}}$ 输出变为低电平表示转换完成。从数据寄存器中读取数据字后， $\text{DOUT}/\overline{\text{RDY}}$ 引脚变为高电平。如果需要，即使 $\text{DOUT}/\overline{\text{RDY}}$ 引脚已变为高电平，也可以多次读取数据寄存器。

如果使能了多个通道，ADC将自动遍历各使能通道，并在各通道上执行转换。开始转换后， $\text{DOUT}/\overline{\text{RDY}}$ 引脚变为高电平并保持该状态，直到获得有效转换结果且 $\overline{\text{CS}}$ 变为低电

平。一旦获得转换结果， $\overline{\text{RDY}}$ 输出便会变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，用户可以读取当前的转换结果。下一转换完成后，数据寄存器便会更新；因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回待机模式。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器的两个LSB表示对应的转换通道。

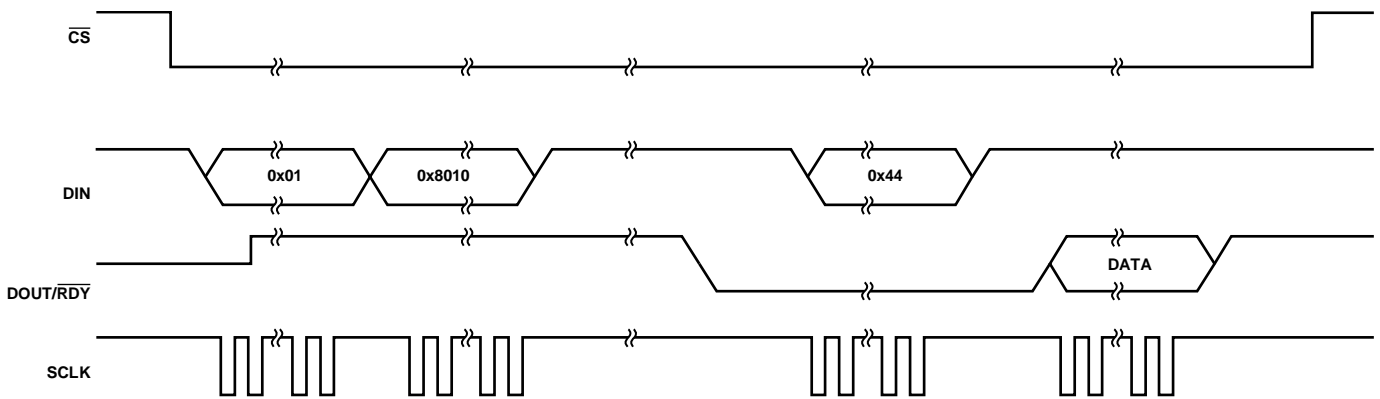


图72. 单次转换模式

AD7175-2

待机和掉电模式

在待机模式下，大部分模块被关断。LDO仍然有效，因此寄存器保持其内容不变。内部基准电压源若使能则仍然有效，晶振若被选择则仍然有效。要在待机模式下关断基准电压源，应将ADC模式寄存器的REF_EN位设置为0。要在待机模式下关断时钟，应将ADC模式寄存器的CLOCKSEL位设置为00(内部振荡器)。

在掉电模式下，所有模块均被关断，包括LDO。所有寄存器丧失其内容，GPIO输出被置于三态。要防止意外进入掉电模式，必须首先将ADC置于待机模式。退出掉电模式需要在 $\overline{CS} = 0$ 且 $DIN = 1$ 时提供64个SCLK，即执行串行接口复位。发出后续串行接口命令以允许LDO上电之前，建议延迟500 μ s。

图19显示了退出待机模式(REF_EN先设为0再设为1)和退出掉电模式后的内部基准电压建立时间。

校准

AD7175-2支持执行两点校准来消除任何失调和增益误差。它提供三种校准模式，可用在每种设置基础上消除失调和增益误差：

- 内部零电平校准模式
- 系统零电平校准模式
- 系统满量程校准模式

没有内部满量程校准模式，因为该校准已于生产时在工厂进行。

校准期间只能有一个通道有效。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。

失调寄存器的默认值是0x800000，增益寄存器的标称值是0x555555。ADC增益的校准范围是 $0.4 \times V_{REF}$ 至 $1.05 \times V_{REF}$ 。计算使用下面的公式。在单极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

在双极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

为启动校准，应将适当的值写入ADC模式寄存器的MODE位。启动校准后，DOUT/ \overline{RDY} 引脚和状态寄存器的RDY位变为高电平。校准完成时，相应失调或增益寄存器的内容会更新，状态寄存器的RDY位复位， \overline{RDY} 输出引脚返回到低电平(如果 \overline{CS} 为低电平)，并且AD7175-2返回待机模式。

内部失调校准期间，所选正模拟输入引脚断开，调制器的两个输入均内部连接到所选的负模拟输入引脚。因此，必须确保所选负模拟输入引脚上的电压不超过允许的限值，并且没有过大的噪声和干扰。

然而，系统校准要求在启动校准模式之前，将系统零电平(失调)和系统满量程(增益)电压施加于ADC引脚，这样可以消除ADC的外部误差。

从操作上来看，校准就像另一次ADC转换。如果需要，失调校准必须总是在满量程校准之前执行。对系统软件进行设置，以监视状态寄存器的RDY位或 \overline{RDY} 输出引脚，进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。所有校准所需的时间等于选定滤波器的建立时间加上要完成的输出数据速率。

内部失调校准、系统零电平校准和系统满量程校准可以在任何输出数据速率下执行。使用较低的输出数据速率可以获得更高的校准精度，并且对所有输出数据速率都是精确的。如果一个通道的基准电压源发生改变，则该通道需要重新校准失调。

失调误差典型值为 $\pm 40 \mu$ V，失调校准将失调误差降至噪声水平。增益误差在环境温度下经过出厂校准。校准之后，增益误差典型值为FSR的 ± 35 ppm。

用户可以访问AD7175-2的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己的校准系数。读写失调和增益寄存器可以在内部或自校准以外的任意时间执行。

数字接口

AD7175-2的可编程功能通过SPI串行接口控制。AD7175-2的串行接口包含四个信号： $\overline{\text{CS}}$ 、DIN、SCLK、DOUT/RDY。DIN输入用于将数据传输至片内寄存器中，DOUT输出则用于从片内寄存器中获取数据。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN输入上还是DOUT输出上)均与SCLK信号相关。

DOUT/ $\overline{\text{RDY}}$ 引脚也可用作数据就绪信号；当数据寄存器中有新数据字可用时，如果 $\overline{\text{CS}}$ 为低电平，则该输出变为低电平。对数据寄存器的读操作完成时， $\overline{\text{RDY}}$ 输出复位为高电平。数据寄存器更新之前， $\overline{\text{RDY}}$ 输出也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。当 $\overline{\text{RDY}}$ 输出即将变为低电平时，务必小心，避免从数据寄存器读取数据。确保无数据读取操作的最佳方法是始终监控 $\overline{\text{RDY}}$ 输出；当 $\overline{\text{RDY}}$ 输出变为低电平时，立即开始读取数据寄存器；确保SCLK速率足够高，以便读取操作能在下一个转换结果之前完成。 $\overline{\text{CS}}$ 用来选择器件。在多个器件与串行总线相连的系统中，它可以用于对AD7175-2进行解码。

图2和图3显示了与AD7175-2进行接口的时序图，其中 $\overline{\text{CS}}$ 用于解码该器件。图2显示对AD7175-2执行读操作的时序，图3显示对AD7175-2执行写操作的时序。即使在第一次读操作之后 $\overline{\text{RDY}}$ 输出返回到高电平，也可以多次读取数据寄存器。不过，必须确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

将 $\overline{\text{CS}}$ 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/ $\overline{\text{RDY}}$ 引脚用于与AD7175-2通信。转换是否结束也可以利用状态寄存器的 $\overline{\text{RDY}}$ 位来监视。

在 $\overline{\text{CS}} = 0$ 且DIN = 1时，写入64个SCLK可以复位AD7175-2。复位使接口返回到期待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后，用户应等待500 μs 再访问串行接口。

校验和保护

AD7175-2具有校验和模式，可用来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存器读取的数据进行验证。如果寄存器写入期间发生错误，状态寄存器的CRC_ERROR位将置1。然而，为确保寄存器写入成功，应回读该寄存器并验证校验和。

写操作期间的CRC校验和计算始终使用下列多项式：

$$x^8 + x^2 + x + 1$$

读操作期间，用户可以选择此多项式或更简单的XOR函数。与基于多项式的校验和相比，主机处理器处理XOR函数所需的时间更少。接口模式寄存器的CRC_EN位用于使能和禁用校验和，并允许用户选择多项式或简单的XOR校验。

校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和8至24位数据计算。读处理的校验和利用命令字和8至32位数据输出计算。图73和图74分别显示了SPI读和写处理。

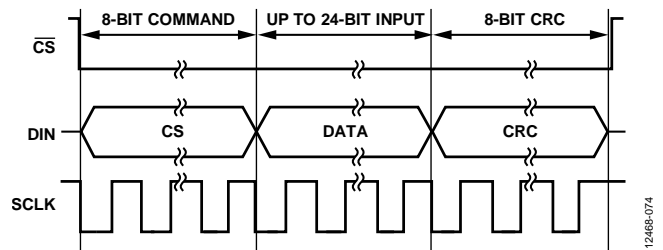


图73. 使能CRC的SPI写处理

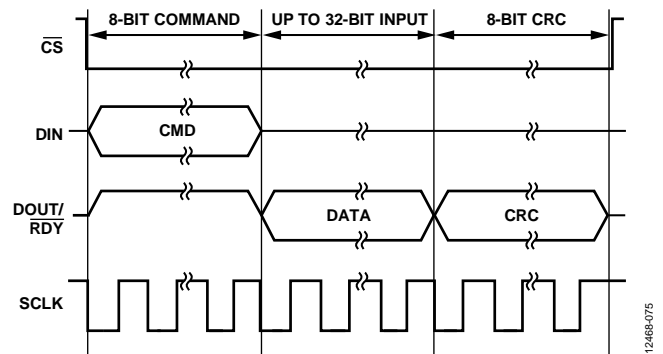


图74. 使能CRC的SPI读处理

连续读取模式有效时，如果使能校验和保护，则每次数据传输前存在暗含的读取数据命令0x44，计算校验和值时必须予以考虑。该暗含的读取数据命令可确保即使ADC数据等于0x000000，校验和值也不是零。

AD7175-2

CRC计算 多项式

校验和为8位宽，利用以下多项式产生：

$$x^8 + x^2 + x + 1$$

要生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1

多项式CRC计算示例—24位字：0x654321(8命令位和16位数据)

下例使用基于多项式的校验和生成8位校验和：

初始值	011001010100001100100001	
	01100101010000110010000100000000	
$x^8 + x^2 + x + 1$	=	100000111
100100100000110010000100000000		XOR结果
100000111		多项式
1000110001100100001000000000		XOR结果
100000111		多项式
111111001000010000000000		XOR结果
100000111		多项式值
111110111000010000000000		XOR结果
100000111		多项式值
1111000000001000000000		XOR结果
100000111		多项式值
1110011100010000000000		XOR结果
100000111		多项式值
11001001001000000000		XOR结果
100000111		多项式值
10010101010000000000		XOR结果
100000111		多项式值
1011011000000000		XOR结果
100000111		多项式值
11010110000000		XOR结果
100000111		多项式值
101010110000		XOR结果
100000111		多项式值
1010001000		XOR结果
100000111		多项式值
10000110		校验和 = 0x86

对齐。对该数据施加一个异或(XOR)函数，以产生一个更短的新数。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

左移8位
多项式

XOR计算

校验和为8位宽，产生方法如下：将数据拆分为字节，然后对这些字节执行XOR运算。

XOR计算示例—24位字：0x654321(8命令位和16位数据)

使用上例，分为三个字节：0x65、0x43和0x21

01100101	0x65
01000011	0x43
00100110	XOR结果
00100001	0x21
00000111	CRC

集成功能

AD7175-2集成了多个功能以改善其在多种应用中的作用，并且可在安全敏感的应用中用于诊断。

通用I/O

AD7175-2有两个通用数字输入/输出引脚：GPIO0和GPIO1。这些引脚通过GPIOCON寄存器中的IP_EN0/IP_EN1位或OP_EN0/OP_EN1位使能。当GPIO0或GPIO1引脚被使能为输入时，引脚的逻辑电平分别包含在GP_DATA0和GP_DATA1位中。当GPIO0或GPIO1引脚被使能为输出时，GP_DATA0或GP_DATA1位决定引脚的逻辑电平输出。这些引脚的逻辑电平以AVDD1和AVSS为基准，因此，输出幅度为5 V。

$\overline{\text{SYNC}}/\overline{\text{ERROR}}$ 引脚也可以用作通用输出。当GPIOCON寄存器的ERR_EN位设置为11时， $\overline{\text{SYNC}}/\overline{\text{ERROR}}$ 引脚用作通用输出。这种配置下，GPIOCON寄存器的ERR_DAT位决定引脚的逻辑电平输出。引脚的逻辑电平以IOVDD和DGND为基准。

设置为通用输出时，GPIO和 $\overline{\text{SYNC}}/\overline{\text{ERROR}}$ 引脚均有一个有源上拉电阻。

外部多路复用器控制

当使用外部多路复用器来提高通道数时，多路复用器逻辑引脚可以通过AD7175-2 GPIOx引脚进行控制。利用MUX_IO位，GPIOx时序通过ADC控制；因此，通道变化与ADC同步，无需外部同步。

延迟

在AD7175-2开始采样之前，可以插入一个可编程延迟时间。该延迟用于使外部放大器或多路复用器稳定下来，此外还可以降低外部放大器或多路复用器的性能要求。利用ADC模式寄存器的delay位(寄存器0x01的位[10:8])，可以设置从0 μs 到1 ms的8个延迟时间。

如果选择大于0 μs 的延迟时间，并且ADC模式寄存器的HIDE_DELAY位设为0，则转换时间会增加该延迟时间，无论旋转何种输出数据速率。

使用sinc5 + sinc1滤波器时，可以隐藏该延迟，使得输出数据速率与延迟未使能时的输出数据速率相同。如果HIDE_DELAY位设为1，并且选定的延迟小于转换时间的一半，则可以通过减少数字滤波器执行的均值操作次数来吸收该延迟，使得转换时间不变，但这会影响噪声性能。

对噪声性能的影响取决于延迟时间与转换时间的关系。对于10 kSPS以下的输出数据速率，可以吸收延迟时间，但以下四种速率不能吸收任何延迟：397.5 SPS、59.92 SPS、49.96 SPS和16.66 SPS。

16位/24位转换

AD7175-2默认产生24位转换结果。然而，转换结果的宽度可以减少至16位。将接口模式寄存器的WL16位设置为1，可将所有数据转换舍入到16位。此位清0时，数据转换的宽度为24位。

DOUT_RESET

串行接口使用共享的DOUT/ $\overline{\text{RDY}}$ 引脚。默认情况下，此引脚输出 $\overline{\text{RDY}}$ 信号。数据读取期间，此引脚输出所读取寄存器的数据。读取完成后，经过很短的固定时间(t_r)，该引脚重新输出 $\overline{\text{RDY}}$ 信号。然而，该时间对于某些微控制器而言可能过短。将接口模式寄存器中的DOUT_RESET位设为1时，可以将该时间延长到CS引脚变为高电平为止。这意味着，CS必须以帧传输方式执行每个读操作并完成串行接口处理。

同步

正常同步

当GPIOCON寄存器的SYNC_EN位设置为1时， $\overline{\text{SYNC}}/\overline{\text{ERROR}}$ 引脚用作同步输入。利用 $\overline{\text{SYNC}}$ 输入，用户可以复位调制器和数字滤波器，而不会影响器件的任何设置条件。这样，用户就可以从已知点，即 $\overline{\text{SYNC}}$ 输入的上升沿开始采集模拟输入的样本。为确保同步发生， $\overline{\text{SYNC}}$ 输入必须保持低电平至少一个主时钟周期。

如果多个AD7175-2器件利用一个公共主时钟工作，则可以让这些器件同步，使其模拟输入被同步采样。该同步一般在各AD7175-2已执行自身的校准或已将校准系数载入其校准寄存器之后完成。 $\overline{\text{SYNC}}$ 输入的下降沿使数字滤波器和模拟调制器复位，并将AD7175-2置于一致的已知状态。在 $\overline{\text{SYNC}}$ 输入为低电平期间，AD7175-2保持该已知状态。在 $\overline{\text{SYNC}}$ 输入上升沿，调制器和滤波器离开复位状态；在下一主时钟沿，器件再次开始采集输入样本。

器件在 $\overline{\text{SYNC}}$ 输入由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时，在主时钟上升沿使 $\overline{\text{SYNC}}$ 输入变为高电平，确保所有器件均在主时钟下降沿被释放。如果 $\overline{\text{SYNC}}$ 输入没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

在普通同步模式下，对于单一通道， $\overline{\text{SYNC}}$ 输入也可用作启动转换命令。这种模式下， $\overline{\text{SYNC}}$ 输入的上升沿启动转换， $\overline{\text{RDY}}$ 输出的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。转换完成后，应拉低 $\overline{\text{SYNC}}$ 输入，为下一个转换开始信号做好准备。

交替同步

在交替同步模式下，当AD7175-2的多个通道使能时， $\overline{\text{SYNC}}$ 输入用作启动转换命令。将接口模式寄存器的ALT_SYNC位设置为1，可以使能交替同步方案。当 $\overline{\text{SYNC}}$ 输入变为低电平时，ADC完成对当前通道的转换，按顺序选择下一个通道，然后等到 $\overline{\text{SYNC}}$ 输入变为高电平时开始转换。当前通道的转换完成时， $\overline{\text{RDY}}$ 输出变为低电平，数据寄存器更新为对应的转换结果。

因此， $\overline{\text{SYNC}}$ 输入不会干扰当前选定通道的采样，但允许用户控制下一个通道开始转换的时刻。

交替同步模式只能在使能多个通道时使用。仅使能一个通道时不建议使用这种模式。

错误标志

状态寄存器包含三个错误位——ADC_ERROR、CRC_ERROR和REG_ERROR，分别指示ADC转换错误、CRC校验错误和寄存器改变引起的错误。此外， $\overline{\text{ERROR}}$ 输出可以指示已发生错误。

ADC_ERROR

状态寄存器的ADC_ERROR位指示转换过程中发生的所有错误。当ADC输出超量程或欠量程结果时，该标志位置1。发生过压或欠压时，ADC也会输出全0或全1。此标志仅在过压或欠压消失时复位。读取数据寄存器不会使其复位。

CRC_ERROR

如果一个写操作相关的CRC值与所发送的信息不一致，CRC_ERROR标志位即置1。一旦明确读取状态寄存器，该标志就会复位。

REG_ERROR

REG_ERROR标志位与接口模式寄存器的REG_CHECK位一起使用。当REG_CHECK位置1时，AD7175-2监视片内寄存器的值。若有一位改变，REG_ERROR位就会置1。因此，为了写入片内寄存器，应将REG_CHECK置0。更新寄存器后，就可以将REG_CHECK位置1。AD7175-2计算片内寄存器的校验和。若有一个寄存器值发生改变，REG_ERROR位就会置1。发现错误后，必须将REG_CHECK位清0才能清除状态寄存器的REG_ERROR位。寄存器校验功能不监视数据寄存器、状态寄存器和接口模式寄存器。

ERROR输入/输出

当GPIOCON寄存器的SYNC_EN位设置为0时， $\overline{\text{SYNC/ERROR}}$ 引脚用作错误输入/输出引脚或通用输出引脚。GPIOCON寄存器的ERR_EN位决定该引脚的功能。

ERR_EN设置为10时， $\overline{\text{SYNC/ERROR}}$ 引脚用作开漏错误输出 $\overline{\text{ERROR}}$ 。状态寄存器的三个错误位(ADC_ERROR、CRC_ERROR和REG_ERROR)经过“或”运算并反转后映射到 $\overline{\text{ERROR}}$ 输出。因此， $\overline{\text{ERROR}}$ 输出指示已发生错误。要确定错误来源，必须读取状态寄存器。

ERR_EN设置为01时， $\overline{\text{SYNC/ERROR}}$ 引脚用作错误输入 $\overline{\text{ERROR}}$ 。其它器件的错误输出可以连接到AD7175-2的 $\overline{\text{ERROR}}$ 输入，因此AD7175-2可以指示自身或外部器件发生错误。 $\overline{\text{ERROR}}$ 输入的值经过反转并与ADC转换错误进行“或”运算，结果通过状态寄存器的ADC_ERROR位显示。 $\overline{\text{ERROR}}$ 输入的值反映在状态寄存器的ERR_DAT位。

ERR_EN位设置为00时， $\overline{\text{ERROR}}$ 输入/输出禁用。ERR_EN位设置为11时， $\overline{\text{SYNC/ERROR}}$ 引脚用作通用输出。

DATA_STAT

可以将状态寄存器的内容附加到AD7175-2的每次转换结果。使能多个通道时，此功能很有用。每次输出转换结果时，都会附加状态寄存器的内容。状态寄存器的两个LSB表示对应的转换通道。此外，用户可以通过错误位确定是否发生错误。

AD7175-2

IOSTRENGTH

串行接口可以采用低至2 V的电源工作。然而，在此低压下，如果板上的寄生电容较大或SCLK频率较高， $\overline{\text{DOUT/RDY}}$ 引脚可能没有足够的驱动强度。接口模式寄存器的IOSTRENGTH位可提高 $\overline{\text{DOUT/RDY}}$ 引脚的驱动强度。

内部温度传感器

AD7175-2集成有温度传感器。该温度传感器可以指示器件工作所处的大致环境温度。它可以用于诊断，或指示应用电路何时需要重新运行校准例程以补偿工作温度引起的偏移。温度传感器通过交叉点多路复用器选择，像模拟输入

通道一样进行选择。温度传感器要求两个模拟输入上的模拟输入缓冲器均使能。转换期间，如果缓冲器未使能，选择温度传感器作为输入将迫使缓冲器使能。

为了使用温度传感器，首先要在已知温度(25°C)下校准器件，并执行一次转换作为基准点。温度传感器的标称灵敏度为477 $\mu\text{V}/\text{K}$ ，这一理想斜率与实测斜率的差可用来校准温度传感器。在25°C执行校准后，温度传感器的额定精度典型值为 $\pm 2^\circ\text{C}$ 。温度可通过下式计算：

$$\text{Temperature } (^{\circ}\text{C}) = \left(\frac{\text{Conversion Result}}{477 \mu\text{V}} \right) - 273.15$$

接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压都是共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7175-2的模拟电源和数字电源彼此独立，连接到单独的引脚。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为主时钟频率的整数倍的噪声。

另外，数字滤波器还能够消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7175-2具有更强的抗噪能力。不过，由于AD7175-2的分辨率较高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局。

ADC所在的PCB应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。

避免在该器件下方布设数字线路，否则会将噪声耦合至芯片；将模拟接地层放在AD7175-2下方可以防止噪声耦合。AD7175-2的电源线路必须采用尽可能宽的走线，以提供低

阻抗路径，并减小电源线路上的毛刺噪声。应利用数字地屏蔽时钟等快速切换信号，以免向电路板的其他部分辐射噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这种技术有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。

使用高分辨率ADC时，良好的去耦十分重要。AD7175-2有三个电源引脚：AVDD1、AVDD2和IOVDD。AVDD1和AVDD2引脚以AVSS为基准，IOVDD引脚以DGND为基准。通过10 μF 电容与0.1 μF 电容的并联组合将AVDD1和AVDD2去耦至各引脚上的AVSS。使各电源的0.1 μF 电容应尽可能靠近该器件，最好正对着该器件。通过10 μF 电容与0.1 μF 电容的并联组合将IOVDD去耦至DGND。将所有模拟输入去耦至AVSS。如果使用外部基准电压源，将REF+和REF-引脚去耦至AVSS。

AD7175-2还有两个片上LDO稳压器，一个调节AVDD2电源，另一个调节IOVDD电源。对于REGCAPA引脚，建议利用1 μF 和0.1 μF 电容将其去耦至AVSS。类似地，对于REGCAPD引脚，建议利用1 μF 和0.1 μF 电容将其去耦至DGND。

如果AD7175-2采用分离电源供电，AVSS必须使用单独的层。

AD7175-2

寄存器汇总

表24. 寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA							0x00	W
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	保留		CHANNEL		0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	HIDE_DELAY	SING_CYC	保留			DELAY		0x8000	RW	
		[7:0]	保留		MODE		CLOCKSEL		保留				
0x02	IFMODE	[15:8]	保留		ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET		0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留		CRC_EN	保留		WL16		
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	DATA	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x06	GPIOCON	[15:8]	保留			MUX_IO	SYNC_EN	ERR_EN		ERR_DAT		0x0800	RW
		[7:0]	保留		IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x0CDX	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	保留	SETUP_SEL0		保留		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CH1	[15:8]	CH_EN1	保留	SETUP_SEL1		保留		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CH2	[15:8]	CH_EN2	保留	SETUP_SEL2		保留		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CH3	[15:8]	CH_EN3	保留	SETUP_SEL3		保留		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	AINBUF0+	AINBUF0-	0x1320	RW	
		[7:0]	BURNOUT_EN0	保留	REF_SEL0		保留						
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1320	RW	
		[7:0]	BURNOUT_EN1	保留	REF_SEL1		保留						
0x22	SETUPCON2	[15:8]	保留			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1320	RW	
		[7:0]	BURNOUT_EN2	保留	REF_SEL2		保留						
0x23	SETUPCON3	[15:8]	保留			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1320	RW	
		[7:0]	BURNOUT_EN3	保留	REF_SEL3		保留						
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留			ENHFILTEN0	ENHFILT0		0x0500	RW		
		[7:0]	保留		ORDER0	ODR0							
0x29	FILTCON1	[15:8]	SINC3_MAP1	保留			ENHFILTEN1	ENHFILT1		0x0500	RW		
		[7:0]	保留		ORDER1	ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	保留			ENHFILTEN2	ENHFILT2		0x0500	RW		
		[7:0]	保留		ORDER2	ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	保留			ENHFILTEN3	ENHFILT3		0x0500	RW		
		[7:0]	保留		ORDER3	ODR3							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	RW

寄存器详解

通信寄存器

地址：0x00；复位：0x00；名称：COMMS

对片内寄存器的所有访问均必须以对通信寄存器的写操作开始。该写操作决定接下来访问哪个寄存器，以及访问操作是写还是读。

表25. COMMS的位功能描述

位	位名称	设置	说明	复位	访问类型
7	\overline{WEN}		要与ADC开始通信，此位必须为低电平。	0x0	W
6	R/\overline{W}	0 1	此位决定命令是读操作还是写操作。 写命令 读命令	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 100000 100001 100010 100011 101000 101001 101010 101011 110000 110001 110010 110011 111000 111001 111010 111011	寄存器地址位决定当前通信读写哪一个寄存器。 状态寄存器 ADC模式寄存器 接口模式寄存器 寄存器校验和寄存器 数据寄存器 GPIO配置寄存器 ID寄存器 通道0寄存器 通道1寄存器 通道2寄存器 通道3寄存器 设置配置0寄存器 设置配置1寄存器 设置配置2寄存器 设置配置3寄存器 滤波器配置0寄存器 滤波器配置1寄存器 滤波器配置2寄存器 滤波器配置3寄存器 失调0寄存器 失调1寄存器 失调2寄存器 失调3寄存器 增益0寄存器 增益1寄存器 增益2寄存器 增益3寄存器	0x00	W

AD7175-2

状态寄存器

地址：0x00；复位：0x80；名称：STATUS

状态寄存器是一个8位寄存器，包含ADC和串行接口的状态信息。通过将接口模式寄存器的DATA_STAT位设置为1，可以将其附加到数据寄存器。

表26. STATUS的位功能描述

位	位名称	设置	说明	复位	访问类型
7	RDY	0 1	只要CS为低电平且不在读取寄存器，RDY的状态就会输出到DOUT/RDY引脚。当ADC已将新结果写入数据寄存器时，此位变为低电平。在ADC校准模式下，ADC写入校准结果后，此位变为低电平。读取数据寄存器时，RDY自动变为高电平。 0 新数据结果可用 1 等待新数据结果	0x1	R
6	ADC_ERROR	0 1	此位默认指示是否发生ADC超量程或欠量程事件。如果发生超量程或欠量程错误，ADC结果将箝位至0xFFFFF或0x00000。此位在写入ADC结果时更新，在消除超量程或欠量程状况后的下一次更新时清零。 0 无错误 1 有错误	0x0	R
5	CRC_ERROR	0 1	此位指示寄存器写操作期间是否发生CRC错误。对于寄存器读操作，主机微控制器决定是否发生CRC错误。读取此寄存器时，该位清0。 0 无错误 1 CRC错误	0x0	R
4	REG_ERROR	0 1	此位指示一个内部寄存器的内容是否发生变化，与激活寄存器完整性检查时计算的值不同。要激活该检查，须将接口模式寄存器的REG_CHECK位设置为1。REG_CHECK位清0时，此位清0。 0 无错误 1 有错误	0x0	R
[3:2]	保留		这些位保留。	0x0	R
[1:0]	CHANNEL	00 01 10 11	这些位指示数据寄存器中当前存储的结果所对应的ADC转换通道。这可能与当前正在转换的通道不同。该映射是通道映射寄存器的直接映射；因此，通道0产生0x0，通道3产生0x3。 00 通道0 01 通道1 10 通道2 11 通道3	0x0	R

ADC模式寄存器

地址：0x01；复位：0x8000；名称：ADCMODE

ADC模式寄存器控制ADC的工作模式和主时钟选择。写入ADC模式寄存器会复位滤波器和RDY位，并开始新的转换或校准。

表27. ADCMODE的位功能描述

位	位名称	设置	说明	复位	访问类型
15	REF_EN	0 1	使能内部基准电压源并输出缓冲2.5 V电压到REFOUT引脚。 禁用 使能	0x1	RW
14	HIDE_DELAY	0 1	利用DELAY位设置可编程延迟后，对于采用sinc5 + sinc1滤波器的选定数据速率，此位允许将延迟吸收到转换时间中，从而隐藏延迟。详情见“延迟”部分。 使能 禁用	0x0	RW
13	SING_CYC	0 1	仅单个通道有效时，可以使用此位来设置ADC仅以建立的滤波器数据速率输出。 禁用 使能	0x0	RW
[12:11]	保留		这些位保留，应置0。	0x0	R
[10:8]	DELAY	000 001 010 011 100 101 110 111	这些位允许通道切换后增加一个可编程的延迟时间，以便外部电路能在ADC开始处理其输入前稳定下来。 0 4 μs 16 μs 40 μs 100 μs 200 μs 500 μs 1 ms	0x0	RW
7	保留		此位保留，应置0。	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	这些位控制ADC的工作模式。详情见“工作模式”部分。 连续转换模式 单次转换模式 待机模式 掉电模式 内部失调校准 系统失调校准 系统增益校准	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	此位用来选择ADC时钟源。如果选择内部振荡器，则也会使能内部振荡器。 内部振荡器 XTAL2/CLKIO引脚上的内部振荡器输出 XTAL2/CLKIO引脚上的外部时钟输入 XTAL1和XTAL2/CLKIO引脚上的外部晶振	0x0	RW
[1:0]	保留		这些位保留，应置0。	0x0	R

AD7175-2

接口模式寄存器

地址：0x02；复位：0x0000；名称：IFMODE

接口模式寄存器配置各种串行接口选项。

表28. IFMODE的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:13]	保留		这些位保留，应置0。	0x0	R
12	ALT_SYNC	0 1	此位使能SYNC/ERROR引脚的不同行为，以便利用SYNC/ERROR来控制循环通道的转换(详见GPIO配置寄存器中的SYNC_EN位部分的说明)。 禁用 使能	0x0	RW
11	IOSTRENGTH	0 1	此位控制DOUT/RDY引脚的驱动强度。在IOVDD电源较低且电容中等的情况下高速读取串行接口时，将此位置1。 禁用(默认) 使能	0x0	RW
[10:9]	保留		这些位保留，应置0。	0x0	R
8	DOUT_复位	0 1	详情见“DOUT_RESET”部分。 禁用 使能	0x0	RW
7	CONTREAD	0 1	使能连续读取ADC数据寄存器。要使用连续读取，ADC必须配置为连续转换模式。详情参见“工作模式”部分。 禁用 使能	0x0	RW
6	DATA_STAT	0 1	此位使状态寄存器可以在读取时附加到数据寄存器上，使得通道和状态信息与数据一同传输。这是确保从状态寄存器读出的通道位与数据寄存器中的数据对应的唯一方式。 禁用 使能	0x0	RW
5	REG_CHECK	0 1	此位使能寄存器完整性检查，利用此检查可监视用户寄存器值的任何变化。要使用此特性，应在此位清0的情况下根据需要配置所有其它寄存器。然后写入此寄存器，设置REG_CHECK位为1。若有任一寄存器的内容发生变化，状态寄存器的REG_ERROR位就会置1。要清除错误，将REG_CHECK位置0。检查的寄存器不包括接口模式寄存器、ADC数据和状态寄存器。如果一个寄存器必须写入新值，必须先将其位清0；否则，写入新寄存器内容时会报错。 禁用 使能	0x0	RW
4	保留		此位保留，应置0。	0x0	R
[3:2]	CRC_EN	00 01 10	使能寄存器读写的CRC保护。CRC会将串行接口传输的字节数加1。详情参见“CRC计算”部分。 禁用 使能寄存器读处理的XOR校验和；寄存器写处理仍将使用CRC 读和写处理均使能CRC校验和	0x00	RW
1	保留		此位保留，应置0。	0x0	R

位	位名称	设置	说明	复位	访问类型
0	WL16	0 1	ADC数据寄存器变为16位。写入接口模式寄存器不会复位ADC；因此，写入这些位后，ADC结果不会立即舍入到正确的字长。第一个新的ADC结果是正确的。 24位数据 16位数据	0x0	RW

寄存器检查

地址：0x03；复位：0x000000；名称：REGCHECK

寄存器检查寄存器是通过对用户寄存器的内容进行异或运算而求得的24位校验和。要使用此功能，接口模式寄存器的REG_CHECK位必须置1；否则，寄存器读出0。

表29. REGCHECK的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	REGISTER_CHECK		接口模式寄存器的REG_CHECK位设置为1时，此寄存器包含用户寄存器的24位校验和。	0x000000	R

数据寄存器

地址：0x04；复位：0x000000；名称：数据

数据寄存器包含ADC转换结果。编码为偏移二进制，也可以通过设置配置寄存器的BI_UNIPOLARx位更改为单极性。读取数据寄存器会将RDY位和RDY输出拉高(如果原先为低电平)。ADC结果可以多次读取，但由于RDY输出已被拉高，因此无法知道下一个ADC结果是否即将到来。收到读取ADC寄存器的命令后，ADC不会将新结果写入数据寄存器。

表30. DATA的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	DATA		此寄存器包含ADC转换结果。若接口模式寄存器的DATA_STAT置1，则读取时状态寄存器会附加于此寄存器，使其成为32位寄存器。若接口模式寄存器的WL16置1，则此寄存器减少到16位。	0x000000	R

AD7175-2

GPIO配置寄存器

地址：0x06；复位：0x0800；名称：GPIOCON

GPIO配置寄存器控制ADC的通用I/O引脚。

表31. GPIOCON的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:13]	保留		这些位保留，应置0。	0x0	R
12	MUX_IO		此位允许ADC控制外部多路复用器，与内部通道顺序同步使用GPIO0/GPIO1。用于一个通道的模拟输入引脚仍可按通道进行选择。因此，可以在AIN0/AIN1之前放上一个4通道多路复用器，并在AIN2/AIN3之前放上另一个多路复用器，从而为AD7175-2提供总共8个差分通道。但是，一次只能自动安排4个通道。切换外部多路复用器之后可以插入一个延迟时间(参见ADC模式寄存器的DELAY位部分)。	0x0	RW
11	SYNC_EN	0 1	此位可使SYNC/ERROR引脚用作同步输入。设置为低电平时，该引脚使ADC和滤波器保持复位状态，直到SYNC/ERROR引脚变为高电平为止。当接口模式寄存器的ALT_SYNC位置1时，可以使用SYNC/ERROR引脚的另一个功能。此模式仅在使能多个通道时有效。这种情况下，SYNC/ERROR引脚的低电平不会导致滤波器/调制器立即复位。相反，当通道就要切换时，如果SYNC/ERROR引脚为低电平，则会阻止调制器和滤波器开始新的转换。将SYNC/ERROR拉高就会开始新的转换。利用这一备选同步模式，可以在遍历通道的同时使用SYNC/ERROR。 0 禁用。 1 使能。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	这些位可使SYNC/ERROR引脚用作错误输入/输出。 00 禁用。 01 SYNC/ERROR是错误输入。(反转)回读状态与其他误差源进行“或”运算，结果通过状态寄存器的ADC_ERROR位输出。SYNC/ERROR引脚状态也可通过此寄存器的ERR_DAT位读取。 10 SYNC/ERROR是开漏错误输出。状态寄存器错误位经过“或”运算、反转后映射到SYNC/ERROR引脚。多个器件的SYNC/ERROR引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 11 SYNC/ERROR是通用输出。此引脚的状态由该寄存器的ERR_DAT位控制。此输出参考IOVDD与DGND之间的电平，而不是GPIO引脚使用的AVDD1和AVSS电平。这种情况下，SYNC/ERROR引脚有一个有源上拉电阻。	0x0	RW
8	ERR_DAT		SYNC/ERROR引脚用作通用输出时，此位决定其逻辑电平。用作输入时，此位反映该引脚的回读状态。	0x0	RW
[7:6]	保留		这些位保留，应置0。	0x0	R
5	IP_EN1	0 1	此位将GPIO1变为输入。输入参考AVDD1或AVSS。 0 禁用。 1 使能。	0x0	RW
4	IP_EN0	0 1	此位将GPIO0变为输入。输入参考AVDD1或AVSS。 0 禁用。 1 使能。	0x0	RW
3	OP_EN1	0 1	此位将GPIO1变为输出。输出参考AVDD1与AVSS之间的电平。 0 禁用。 1 使能。	0x0	RW
2	OP_EN0	0 1	此位将GPIO0变为输出。输出参考AVDD1与AVSS之间的电平。 0 禁用。 1 使能。	0x0	RW
1	GP_DATA1		此位是GPIO1的回读或写入数据。	0x0	RW
0	GP_DATA0		此位是GPIO0的回读或写入数据。	0x0	RW

ID寄存器

地址：0x07；复位：0x0CDX；名称：ID

ID寄存器返回16位ID。对于AD7175-2，此ID是0x0CDX。

表32. ID的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	ID	0x0CDX	ID寄存器返回ADC特定的16位ID代码。 AD7175-2	0x0CDX	R

通道寄存器0

地址：0x10；复位：0x8001；名称：CH0

通道寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。

表33. CH0的位功能描述

位	位名称	设置	说明	复位	访问类型
15	CH_EN0	0 1	此位使能通道0。使能多个通道时，ADC自动按顺序处理各通道。 禁用 使能(默认)	0x1	RW
14	保留		此位保留，应置0。	0x0	R
[13:12]	SETUP_SELO	00 01 10 11	这些位决定该通道使用4种设置中的哪一种来配置ADC。设置由四个寄存器组成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，必须将相同的2位值写入这些位；最多可以配置4个不同的通道。 设置0 设置1 设置2 设置3	0x0	RW
[11:10]	保留		这些位保留，应置0。	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 10001 10010 10011 10100 10101 10110	这些位选择此通道的哪个输入连接到ADC的正输入。 AIN0(默认) AIN1 AIN2 AIN3 AIN4 温度传感器+ 温度传感器- $((AVDD1 - AVSS)/5)+$ (必须使能模拟输入缓冲器) $((AVDD1 - AVSS)/5)-$ (必须使能模拟输入缓冲器) REF+ REF-	0x0	RW

AD7175-2

位	位名称	设置	说明	复位	访问类型
[4:0]	AINNEG0	00000 00001 00010 00011 00100 10001 10010 10011 10100 10101 10110	这些位选择此通道的哪个输入连接到ADC的负输入。 AIN0 AIN1(默认) AIN2 AIN3 AIN4 温度传感器+ 温度传感器- $((AVDD1 - AVSS)/5)+$ $((AVDD1 - AVSS)/5)-$ REF+ REF-	0x1	RW

通道寄存器1至通道寄存器3

地址：0x11至0x13；复位：0x0001；名称：CH1至CH3

剩下的3个通道寄存器使用与通道寄存器0相同的布局。

表34. CH1至CH3寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x11	CH1	[15:8]	CH_EN1	保留	SETUP_SEL1	保留	保留	保留	AINPOS1[4:3]		0x0001	RW
		[7:0]	AINPOS1[2:0]			AINNEG1						
0x12	CH2	[15:8]	CH_EN2	保留	SETUP_SEL2	保留	保留	保留	AINPOS2[4:3]		0x0001	RW
		[7:0]	AINPOS2[2:0]			AINNEG2						
0x13	CH3	[15:8]	CH_EN3	保留	SETUP_SEL3	保留	保留	保留	AINPOS3[4:3]		0x0001	RW
		[7:0]	AINPOS3[2:0]			AINNEG3						

设置配置寄存器0

地址：0x20；复位：0x1320；名称：SETUPCON0

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择、输入缓冲器和输出编码方式。

表35. SETUPCON0的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:13]	保留		这些位保留，应置0。	0x0	R
12	BI_UNIPOLAR0	0 1	此位设置设置0的ADC输出编码。 0 单极性编码输出 1 双极性编码输出(偏移二进制编码)	0x1	RW
11	REFBUF0+	0 1	此位使能或禁用REF+输入缓冲器。 0 REF+缓冲器禁用 1 REF+缓冲器使能	0x0	RW
10	REFBUF0-	0 1	此位使能或禁用REF-输入缓冲器。 0 REF-缓冲器使能 1 REF-缓冲器禁用	0x0	RW
9	AINBUF0+	0 1	此位使能或禁用AIN+输入缓冲器。 0 AIN+缓冲器使能 1 AIN+缓冲器使能	0x1	RW
8	AINBUF0-	0 1	此位使能或禁用AIN-输入缓冲器。 0 AIN-缓冲器禁用 1 AIN-缓冲器使能	0x1	RW
7	BURNOUT_EN0		此位在所选正模拟输入上使能10 μA源电流，在所选负模拟输入上使能10 μA吸电流。激励电流可以用于开路诊断，在这种情况下，ADC结果变为满量程。在测量期间使能激励电流，可在ADC上获得一个失调电压。这意味着，在精密测量前后间断开启激励电流，是诊断开路的最佳方式。	0x00	R
6	保留		这些位保留，应置0。	0x00	R
[5:4]	REF_SEL0	00 10 11	这些位选择用于设置0 ADC转换的基准电压源。 00 外部基准电压源。 10 2.5 V内部基准电压源。ADC模式寄存器也必须使能此基准电压源。 11 AVDD1 - AVSS。这可用于诊断，验证其它基准值。	0x2	RW
[3:0]	保留		这些位保留，应置0。	0x0	R

设置配置寄存器1至设置配置寄存器3

地址：0x21至0x23；复位：0x1320；名称：SETUPCON1至SETUPCON3

剩下的3个设置配置寄存器使用与设置配置寄存器0相同的布局。

表36. SETUPCON1至SETUPCON3寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x21	SETUPCON1	[15:8]	保留	保留	保留	BI_UNIPOLAR1	REFBUF1+	REFBUF1-	AINBUF1+	AINBUF1-	0x1320	RW
		[7:0]	BURNOUT_EN1	保留	保留	REF_SEL1	保留					
0x22	SETUPCON2	[15:8]	保留	保留	保留	BI_UNIPOLAR2	REFBUF2+	REFBUF2-	AINBUF2+	AINBUF2-	0x1320	RW
		[7:0]	BURNOUT_EN2	保留	保留	REF_SEL2	保留					
0x23	SETUPCON3	[15:8]	保留	保留	保留	BI_UNIPOLAR3	REFBUF3+	REFBUF3-	AINBUF3+	AINBUF3-	0x1320	RW
		[7:0]	BURNOUT_EN3	保留	保留	REF_SEL3	保留					

AD7175-2

滤波器配置寄存器0

地址：0x28；复位：0x0500；名称：FILTCON0

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表37. FILTCON0的位功能描述

位	位名称	设置	说明	复位	访问类型
15	SINC3_MAP0		如果此位置1，滤波器寄存器的映射将变为直接对设置0的Sinc3滤波器的抽取率进行编程。所有其他选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。对于单个通道，数据速率等于 $f_{MOD}/(32 \times FILTCON0[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留，应置0。	0x0	R
11	ENHFILTENO	0 1	此位使能设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER0位必须设置为00以选择Sinc5 + Sinc1滤波器。 禁用 使能	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	这些位选择设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 27 SPS、47 dB抑制、36.7 ms建立 25 SPS、62 dB抑制、40 ms建立 20 SPS、86 dB抑制、50 ms建立 16.67 SPS、92 dB抑制、60 ms建立	0x5	RW
7	保留		此位保留，应置0。	0x0	R
[6:5]	ORDER0	00 11	这些位控制设置0的数字滤波器(用于处理调制器数据)的阶数。 Sinc5 + Sinc1(默认) Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	这些位控制ADC的输出数据速率，从而控制设置0的建立时间和噪声。所示的速率是针对sinc5 + sinc 1滤波器。参见表19至表22。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.92 49.96 20 16.66 10 5	0x0	RW

滤波器配置寄存器1至滤波器配置寄存器3

地址：0x29至0x2B；复位：0x0500；名称：FILTCON1至FILTCON3

剩下的3个滤波器配置寄存器使用与滤波器配置寄存器0相同的布局。

表38. FILTCON1至FILTCON3寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x2 9	FILTCON1	[15:8]	SINC3_MAP1	保留			ENHFILTEN1	ENHFILT1			0x0500	RW
		[7:0]	保留	ORDER1		ODR1						
0x2 A	FILTCON2	[15:8]	SINC3_MAP2	保留			ENHFILTEN2	ENHFILT2			0x0500	RW
		[7:0]	保留	ORDER2		ODR2						
0x2 B	FILTCON3	[15:8]	SINC3_MAP3	保留			ENHFILTEN3	ENHFILT3			0x0500	RW
		[7:0]	保留	ORDER3		ODR3						

失调寄存器0

地址：0x30；复位：0x800000；名称：OFFSET0

失调(零电平)寄存器是24位寄存器，可用于补偿ADC或系统中的任何失调误差。

表39. OFFSET0的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	OFFSET0		设置0的失调校准系数。	0x800000	RW

失调寄存器1至失调寄存器3

地址：0x31至0x33；复位：0x800000；名称：OFFSET1至OFFSET3

剩下的3个失调寄存器使用与失调寄存器0相同的布局。

表40. OFFSET1至OFFSET3寄存器映射

寄存器	名称	位	复位	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000 RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000 RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000 RW

增益寄存器0

地址：0x38；复位：0x5XXXX0；名称：GAIN0

增益(满量程)寄存器是24位寄存器，可用于补偿ADC或系统中的任何增益误差。

表41. GAIN0的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	GAIN0		设置0的增益校准系数。	0x5XXXX0	RW

增益寄存器1至增益寄存器3

地址：0x39至0x3B；复位：0x5XXXX0；名称：GAIN1至GAIN3

剩下的3个增益寄存器使用与增益寄存器0相同的布局。

表42. GAIN1至GAIN3寄存器映射

寄存器	名称	位	复位	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0 RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0 RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0 RW

AD7175-2

外形尺寸

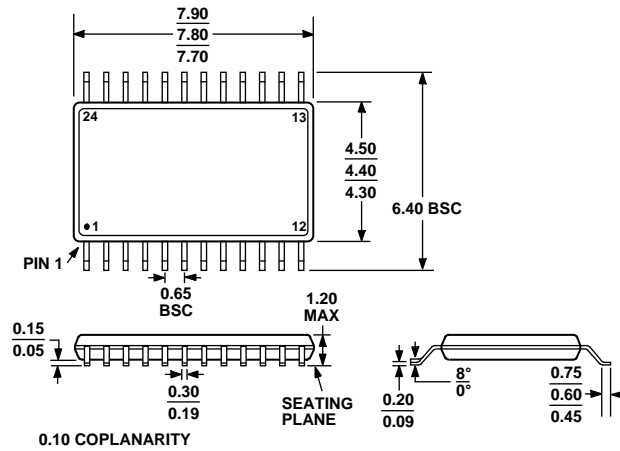


图75. 24引脚超薄紧缩小型封装[TSSOP]
(RU-24)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7175-2BRUZ	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD7175-2BRUZ-RL	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD7175-2BRUZ-RL7	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
EVAL-AD7175-2SDZ		评估板	
EVAL-SDP-CB1Z		评估控制板	

¹ Z = 符合RoHS标准的器件。