



**ANALOG  
DEVICES**

# 集成2 ppm/°C基准电压源的多范围、 16/12位、双极性/单极性电压输出型DAC

## AD5761R/AD5721R

### 产品特性

- 8个软件可编程输出范围：0V至5V、0V至10V、0V至16V、0V至20V、±3V、±5V、±10V和-2.5V至+7.5V；超量程：5%
- 低漂移2.5V基准电压源：±2 ppm/°C(典型值)
- 总不可调整误差(TUE)：0.1% FSR(最大值)
- 16位精度：±2 LSB(最大值)
- 保证单调性：±1 LSB(最大值)
- 单通道、16/12位DAC
- 建立时间：7.5 μs(典型值)
- 集成基准电压缓冲器
- 低噪声：35 nV/√Hz
- 低毛刺：1 nV-sec(0V至5V范围)
- 数字电源电压范围：1.7V至5.5V
- 通过LDAC异步更新
- 异步RESET至零电平/中间电平
- DSP/微控制器兼容串行接口
- 鲁棒的4 kV HBM ESD保护
- 16引脚、3 mm × 3 mm LFCSP封装
- 16引脚TSSOP封装
- 工作温度范围：-40°C至+125°C

### 应用

- 工业自动化
- 仪器仪表、数据采集
- 开环/闭环伺服控制
- 过程控制
- 可编程逻辑控制器

### 概述

AD5761R/AD5721R分别是单通道、16/12位串行输入、电压输出数模转换器(DAC)，采用单电源(4.75 V至30 V)或双电源(-16.5 V至0 V  $V_{SS}$ 和4.75 V至16.5 V  $V_{DD}$ )供电，集成输出放大器、基准电压源缓冲器和基准电压源，是使用极为方便的通用解决方案。

这些器件可保证单调性，选定范围内的积分非线性(INL)为±2 LSB(最大值)，噪声为35 nV/√Hz，建立时间为7.5 μs。

AD5761R/AD5721R采用串行接口，能够以最高50 MHz的时钟速率工作，并且与DSP和微控制器接口标准兼容。利用双缓冲，DAC输出可实现异步更新。输入编码为用户可选的二进制补码或偏移二进制。异步复位功能可将所有寄存器复位至默认状态。用户可通过控制寄存器中的RA[2:0]位选择输出范围。

这些器件采用3 mm × 3 mm LFCSP封装和16引脚TSSOP封装，保证具有-40°C至+125°C的工业温度范围。

### 功能框图

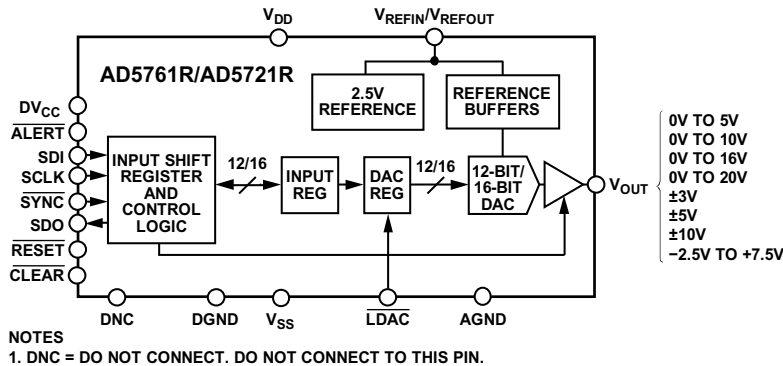


图1.

Rev. A

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014–2015 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1	热滞 .....	27
应用 .....	1	寄存器详解 .....	28
概述 .....	1	输入移位寄存器 .....	28
功能框图 .....	1	控制寄存器 .....	29
修订历史 .....	2	回读控制寄存器 .....	30
技术规格 .....	3	从输入寄存器更新DAC寄存器 .....	31
交流工作特性 .....	6	回读DAC寄存器 .....	31
时序特性 .....	7	写入和更新DAC寄存器 .....	31
时序图 .....	7	回读输入寄存器 .....	32
绝对最大额定值 .....	9	禁用菊花链功能 .....	32
ESD警告 .....	9	软件数据复位 .....	32
引脚配置和功能描述 .....	10	软件完全复位 .....	33
典型性能参数 .....	12	无操作寄存器 .....	33
术语 .....	23	应用信息 .....	34
工作原理 .....	25	典型工作电路 .....	34
数模转换器 .....	25	电源考虑 .....	34
传递函数 .....	25	评估板 .....	34
DAC架构 .....	25	外形尺寸 .....	35
串行接口 .....	26	订购指南 .....	35
硬件控制引脚 .....	26	增加图71 .....	22
		更改“术语”部分 .....	23
		更改“数模转换器”部分和“内部基准电压源”部分 .....	25
		更改“异步清零功能(CLEAR)”部分 .....	27
		更改表12 .....	29
		更改“电源考虑”部分和图77 .....	34
		增加图 .....	35
		更新“外形尺寸”部分 .....	35
		更改“订购指南”部分 .....	35
		<b>2014年11月—修订版0：初始版</b>	

## 修订历史

### 2015年5月—修订版0至修订版A

增加LFCSP封装 .....	通篇
更改表1 .....	3
更改表2 .....	6
更改表4 .....	9
增加图6和表6；重新排序 .....	11
更改图21至图24 .....	14
更改图35 .....	16
更改图37 .....	17
更改图50 .....	19
更改图58至图60 .....	20
更改图61至图66 .....	21
更改图69 .....	22

## 技术规格

除非另有说明,  $V_{DD}^1 = 4.75\text{ V至}30\text{ V}$ ,  $V_{SS}^1 = -16.5\text{ V至}0\text{ V}$ ,  $AGND = DGND = 0\text{ V}$ ,  $V_{REFIN}/V_{REFOUT} = 2.5\text{ V(外部)}$ ,  $DV_{CC} = 1.7\text{ V至}5.5\text{ V}$ ,  $R_{LOAD} = 2\text{ k}\Omega(0\text{ V至}16\text{ V和}0\text{ V至}20\text{ V范围, 所有其它范围下}R_{LOAD} = 1\text{ k}\Omega)$ ,  $C_{LOAD} = 200\text{ pF}$ , 所有规格都在 $T_{MIN}$ 至 $T_{MAX}$ 范围。

表1.

参数 <sup>2</sup>	最小值	典型值	最大值	单位	测试条件/注释
静态性能					外部基准电压源 <sup>3</sup> 和内部基准电压源, 输出空载
可编程输出范围	0		5	V	
	0		10	V	
	0		16	V	
	0		20	V	
	-2.5		+7.5	V	
	-3		+3	V	
	-5		+5	V	
	-10		+10	V	
<b>AD5761R</b>					
分辨率	16			位	
相对精度(INL)					
A级	-8		+8	LSB	外部基准电压源 <sup>3</sup> 和内部基准电压源
B级 <sup>4</sup>	-2		+2	LSB	0 V至16 V和0 V至20 V以外的所有范围, $V_{REFIN}/V_{REFOUT} = 2.5\text{ V(外部和内部基准电压源)}$
差分非线性(DNL)	-1		+1	LSB	
<b>AD5721R</b>					
分辨率	12			位	
相对精度(INL)					
B级	-0.5		+0.5	LSB	外部基准电压源 <sup>3</sup> 和内部基准电压源
差分非线性(DNL)	-0.5		+0.5	LSB	
零电平误差	-6		+6	mV	$\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 以外的所有范围, 外部基准电压源 <sup>3</sup>
	-10		+10	mV	$\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 范围, 外部基准电压源 <sup>3</sup>
	-6		+6	mV	$\pm 5\text{ V}$ 、 $\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 以外的所有范围, 内部基准电压源
	-8		+8	mV	$\pm 5\text{ V}$ 范围, 内部基准电压源
	-9		+9	mV	$0\text{ V至}20\text{ V}$ 范围, 内部基准电压源
	-13		+13	mV	$\pm 10\text{ V}$ 范围, 内部基准电压源
零电平温度系数(TC) <sup>5</sup>		$\pm 5$		$\mu\text{V}/^\circ\text{C}$	单极性范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
		$\pm 15$		$\mu\text{V}/^\circ\text{C}$	双极性范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
双极性零电平误差	-5		+5	mV	$\pm 10\text{ V}$ 以外的所有双极性范围
	-7		+7	mV	$\pm 10\text{ V}$ 输出范围
双极性零电平TC <sup>5</sup>		$\pm 2$		$\mu\text{V}/^\circ\text{C}$	$\pm 3\text{ V}$ 范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
		$\pm 5$		$\mu\text{V}/^\circ\text{C}$	$\pm 3\text{ V}$ 以外的所有双极性范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
失调误差	-6		+6	mV	$\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 以外的所有范围, 外部基准电压源 <sup>3</sup>
	-10		+10	mV	$\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 范围, 外部基准电压源 <sup>3</sup>
	-6		+6	mV	$\pm 5\text{ V}$ 、 $\pm 10\text{ V}$ 和 $0\text{ V至}20\text{ V}$ 以外的所有范围, 内部基准电压源
	-8		+8	mV	$\pm 5\text{ V}$ 范围, 内部基准电压源
	-9		+9	mV	$0\text{ V至}20\text{ V}$ 范围, 内部基准电压源
	-13		+13	mV	$\pm 10\text{ V}$ 范围, 内部基准电压源

# AD5761R/AD5721R

参数 <sup>2</sup>	最小值	典型值	最大值	单位	测试条件/注释
失调误差TC <sup>5</sup>		±5		μV/°C	单极性范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
		±15		μV/°C	双极性范围, 外部基准电压源 <sup>3</sup> 和内部基准电压源
增益误差	-0.1		+0.1	% FSR	外部基准电压源 <sup>3</sup>
	-0.15		+0.15	% FSR	内部基准电压源
增益误差TC <sup>5</sup>		±1.5		ppm FSR/°C	外部基准电压源 <sup>3</sup> 和内部基准电压源
TUE	-0.1		+0.1	% FSR	外部基准电压源 <sup>3</sup>
	-0.15		+0.15	% FSR	内部基准电压源
基准输入(外部) <sup>5</sup>					
基准输入电压(V <sub>REF</sub> )		2.5		V	±1%(额定性能)
输入电流	-2	±0.5	+2	μA	
基准电压范围	2		3	V	
基准输出(内部) <sup>5</sup>					
输出电压		2.5		V	±3 mV, 环境温度
基准电压源TC		2	5	ppm/°C	
输出阻抗		25		kΩ	
输出电压噪声		6		μV p-p	0.1 Hz至10 Hz
噪声频谱密度		10		nV/√Hz	环境温度, f = 10 kHz
电压调整率		6		μV/V	环境温度
热滞		80		ppm	第一温度周期
启动时间		3.5		ms	退出关断模式, V <sub>REFIN</sub> /V <sub>REFOUT</sub> 引脚上有10 nF电容以改善噪声性能; 输出空载
输出特性 <sup>5</sup>					
输出电压范围	-V <sub>OUT</sub>		+V <sub>OUT</sub>		可用的不同输出电压范围参见表7
	-10		+10	V	V <sub>DD</sub> /V <sub>SS</sub> = ±11 V, ±10 V输出范围
	-10.5		+10.5	V	V <sub>DD</sub> /V <sub>SS</sub> = ±11 V, ±10 V输出范围, 5%超范围
容性负载稳定性裕量		0.5	1	nF	
				V	R <sub>LOAD</sub> = 2 kΩ(0 V至16 V和0 V至20 V范围); R <sub>LOAD</sub> = 1 kΩ(所有其它范围)
输出电压TC		±3		ppm FSR/°C	±10 V范围, 外部基准电压源
短路电流		25		mA	V <sub>OUT</sub> 引脚短路
阻性负载			1	kΩ	0 V至16 V和0 V至20 V以外的所有范围
			2	kΩ	电压范围: 0 V至16 V、0 V至20 V
负载调整率		0.3		mV/mA	输出端无负载
直流输出阻抗		0.5		Ω	输出端无负载
逻辑输入 <sup>5</sup>					DV <sub>CC</sub> = 1.7 V至5.5 V, JEDEC兼容
输入电压					
高(V <sub>IH</sub> )	0.7 × DV <sub>CC</sub>			V	
低(V <sub>IL</sub> )		0.3 × DV <sub>CC</sub>		V	
输入电流					
漏电流	-1		+1	μA	SDI、SCLK、 $\overline{\text{SYNC}}$
	-1		+1	μA	$\overline{\text{LDAC}}$ 、 $\overline{\text{CLEAR}}$ 、 $\overline{\text{RESET}}$ 引脚保持低电平
	-55			μA	$\overline{\text{LDAC}}$ 、 $\overline{\text{CLEAR}}$ 、 $\overline{\text{RESET}}$ 引脚保持低电平
引脚电容		5		pF	每引脚, 输出空载

参数 <sup>2</sup>	最小值	典型值	最大值	单位	测试条件/注释
逻辑输出(SDO、ALERT) <sup>5</sup>					
输出电压					
低( $V_{OL}$ )			0.4	V	$DV_{CC} = 1.7\text{ V至}5.5\text{ V}$ , 吸电流 $200\ \mu\text{A}$
高( $V_{OH}$ )	$DV_{CC} - 0.5$			V	$DV_{CC} = 1.7\text{ V至}5.5\text{ V}$ , 源电流 $200\ \mu\text{A}$
高阻抗SDO引脚					
漏电流	-1		+1	$\mu\text{A}$	
引脚电容		5		pF	
电源要求					
$V_{DD}$	4.75		30	V	
$V_{SS}$	-16.5		0	V	
$DV_{CC}$	1.7		5.5	V	
$I_{DD}$		5.1	6.5	mA	输出空载, 外部基准电压源
$I_{SS}$		1	3	mA	输出端无负载
$DI_{CC}$		0.005	1	$\mu\text{A}$	$V_{IH} = DV_{CC}$ , $V_{IL} = \text{DGND}$
功耗		67.1		mW	工作电压为 $\pm 11\text{ V}$ , 输出端无负载, TSSOP封装
直流电源抑制比(PSRR) <sup>5</sup>		0.1		mV/V	$V_{DD} \pm 10\%$ , $V_{SS} = -15\text{ V}$
交流PSRR <sup>5</sup>		0.1		mV/V	$V_{SS} \pm 10\%$ , $V_{DD} = +15\text{ V}$
		65		dB	$V_{DD} \pm 200\text{ mV}$ , 50 Hz/60 Hz, $V_{SS} = -15\text{ V}$ , 内部基准电压源, $C_{LOAD} = 100\text{ nF}$
		65		dB	$V_{SS} \pm 200\text{ mV}$ , 50 Hz/60 Hz, $V_{DD} = +15\text{ V}$ , 内部基准电压源, $C_{LOAD} = 100\text{ nF}$
		80		dB	$V_{DD} \pm 200\text{ mV}$ , 50 Hz/60 Hz, $V_{SS} = -15\text{ V}$ , 外部基准电压源, $C_{LOAD} = \text{空载}$
		80		dB	$V_{SS} \pm 200\text{ mV}$ , 50 Hz/60 Hz, $V_{DD} = +15\text{ V}$ , 外部基准电压源, $C_{LOAD} = \text{空载}$

<sup>1</sup> 对于额定性能, 裕量要求为1 V。

<sup>2</sup> 温度范围:  $-40^\circ\text{C}$ 至 $+125^\circ\text{C}$ , 典型值为 $+25^\circ\text{C}$ 。

<sup>3</sup> 外部基准电压源指2 V至2.85 V(有超范围)或2 V至3 V(无超范围)。

<sup>4</sup> 积分非线性误差额定值为 $\pm 4\text{ LSB}$ (最小值/最大值), 条件为: 16 V和120 V范围,  $V_{REFIN}/V_{REFOUT} = 2.5\text{ V}$ (外部和内部); 所有范围,  $V_{REFIN}/V_{REFOUT} = 2\text{ V至}2.85\text{ V}$ (有超范围)或2 V至3 V(无超范围)。

<sup>5</sup> 通过设计和特性保证, 但未经生产测试。

# AD5761R/AD5721R

## 交流工作特性

除非另有说明,  $V_{DD}^1 = 4.75\text{ V至}30\text{ V}$ ,  $V_{SS}^1 = -16.5\text{ V至}0\text{ V}$ ,  $AGND = DGND = 0\text{ V}$ ,  $V_{REFIN}/V_{REFOUT} = 2.5\text{ V(外部)}$ ,  $DV_{CC} = 1.7\text{ V至}5.5\text{ V}$ ,  $R_{LOAD} = 2\text{ k}\Omega(0\text{ V至}16\text{ V和}0\text{ V至}20\text{ V范围, 所有其它范围下}R_{LOAD} = 1\text{ k}\Omega)$ ,  $C_{LOAD} = 200\text{ pF}$ , 所有规格都在 $T_{MIN}$ 至 $T_{MAX}$ 范围。

表2.

参数 <sup>2</sup>	最小值	典型值	最大值	单位	测试条件/注释
动态性能 <sup>3</sup>					
输出电压建立时间	9	12.5		$\mu\text{s}$	20 V阶跃, 至1 LSB, 16位分辨率
	7.5	8.5		$\mu\text{s}$	10 V阶跃, 至1 LSB, 16位分辨率
		5		$\mu\text{s}$	512 LSB阶跃, 至1 LSB, 16位分辨率
数模转换毛刺脉冲	8			nV-sec	$\pm 10\text{ V范围}$
	1			nV-sec	0 V至5 V范围
毛刺脉冲峰值幅度	15			mV	$\pm 10\text{ V范围}$
	10			mV	0 V至5 V范围
上电毛刺	100			mV p-p	
数字馈通	0.6			nV-sec	
输出噪声					
0.1 Hz至10 Hz带宽	15			$\mu\text{V p-p}$	
100 kHz带宽	45			$\mu\text{V rms}$	0 V至20 V和0 V至16 V范围, 2.5 V外部基准电压源
	35			$\mu\text{V rms}$	0 V至10 V、 $\pm 10\text{ V}$ 和 $-2.5\text{ V至}+7.5\text{ V}$ 范围, 2.5 V外部基准电压源
	25			$\mu\text{V rms}$	$\pm 5\text{ V}$ 范围, 2.5 V外部基准电压源
	15			$\mu\text{V rms}$	0 V至5 V和 $\pm 3\text{ V}$ 范围, 2.5 V外部基准电压源
输出噪声频谱密度(10 kHz)	80			nV/ $\sqrt{\text{Hz}}$	$\pm 10\text{ V}$ 范围, 2.5 V外部基准电压源
	35			nV/ $\sqrt{\text{Hz}}$	$\pm 3\text{ V}$ 范围, 2.5 V外部基准电压源
	70			nV/ $\sqrt{\text{Hz}}$	$\pm 5\text{ V}$ 、0 V至10 V和 $-2.5\text{ V至}+7.5\text{ V}$ 范围, 2.5 V外部基准电压源
	110			nV/ $\sqrt{\text{Hz}}$	0 V至20 V范围, 2.5 V外部基准电压源
	90			nV/ $\sqrt{\text{Hz}}$	0 V至16 V范围, 2.5 V外部基准电压源
	45			nV/ $\sqrt{\text{Hz}}$	0 V至5 V范围, 2.5 V外部基准电压源
总谐波失真(THD) <sup>4</sup>	-87			dB	2.5 V外部基准电压源, 1 kHz信号音
信噪比(SNR)	92			dB	环境温度下, 2.5 V外部基准电压源, $BW = 20\text{ kHz}$ , $f_{OUT} = 1\text{ kHz}$
峰值谐波或杂散噪声(SFDR)	92			dB	环境温度下, 2.5 V外部基准电压源, $BW = 20\text{ kHz}$ , $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)	85			dB	环境温度下, 2.5 V外部基准电压源, $BW = 20\text{ kHz}$ , $f_{OUT} = 1\text{ kHz}$

<sup>1</sup> 对于额定性能, 裕量要求为1V。

<sup>2</sup> 温度范围:  $-40^\circ\text{C至}+125^\circ\text{C}$ , 典型值为 $+25^\circ\text{C}$ 。

<sup>3</sup> 通过设计和特性保证, 但未经生产测试。

<sup>4</sup> 以数字方式生成频率为1 kHz的正弦波。

## 时序特性

除非另有说明， $DV_{CC} = 1.7\text{ V}$ 至 $5.5\text{ V}$ ，所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表3

参数	$T_{MIN}$ 、 $T_{MAX}$ 时的限值	单位	描述
$t_1^1$	20	ns(最小值)	SCLK周期时间
$t_2$	10	ns(最小值)	SCLK高电平时间
$t_3$	10	ns(最小值)	SCLK低电平时间
$t_4$	15	ns(最小值)	$\overline{\text{SYNC}}$ 下降沿到SCLK下降沿建立时间
$t_5$	10	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿时间
$t_6$	20	ns(最小值)	$\overline{\text{SYNC}}$ 最小高电平时间(写入模式)
$t_7$	5	ns(最小值)	数据建立时间
$t_8$	5	ns(最小值)	数据保持时间
$t_9$	10	ns(最小值)	LDAC下降沿到 $\overline{\text{SYNC}}$ 下降沿
$t_{10}$	20	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到LDAC下降沿
$t_{11}$	20	ns(最小值)	LDAC低电平脉冲宽度
$t_{12}$	9	$\mu\text{s}$ (典型值)	DAC输出建立时间, 20 V阶跃, 至1 LSB, 16位分辨率(参见表2)
	7.5	$\mu\text{s}$ (典型值)	DAC输出建立时间, 10 V阶跃, 至1 LSB, 16位分辨率
$t_{13}$	20	ns(最小值)	CLEAR低电平脉冲宽度
$t_{14}$	200	ns(典型值)	CLEAR脉冲启动时间
$t_{15}$	10	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到SCLK下降沿
$t_{16}$	40	ns(最大值)	SCLK上升沿到SDO有效( $C_{L\_SDO}^2 = 15\text{ pF}$ )
$t_{17}$	50	ns(最小值)	$\overline{\text{SYNC}}$ 最小高电平时间(回读/菊花链模式)

<sup>1</sup> 写入模式下最大SCLK频率为50 MHz，回读模式下则为33 MHz。

<sup>2</sup>  $C_{L\_SDO}$ 为SDO输出端的容性负载。

## 时序图

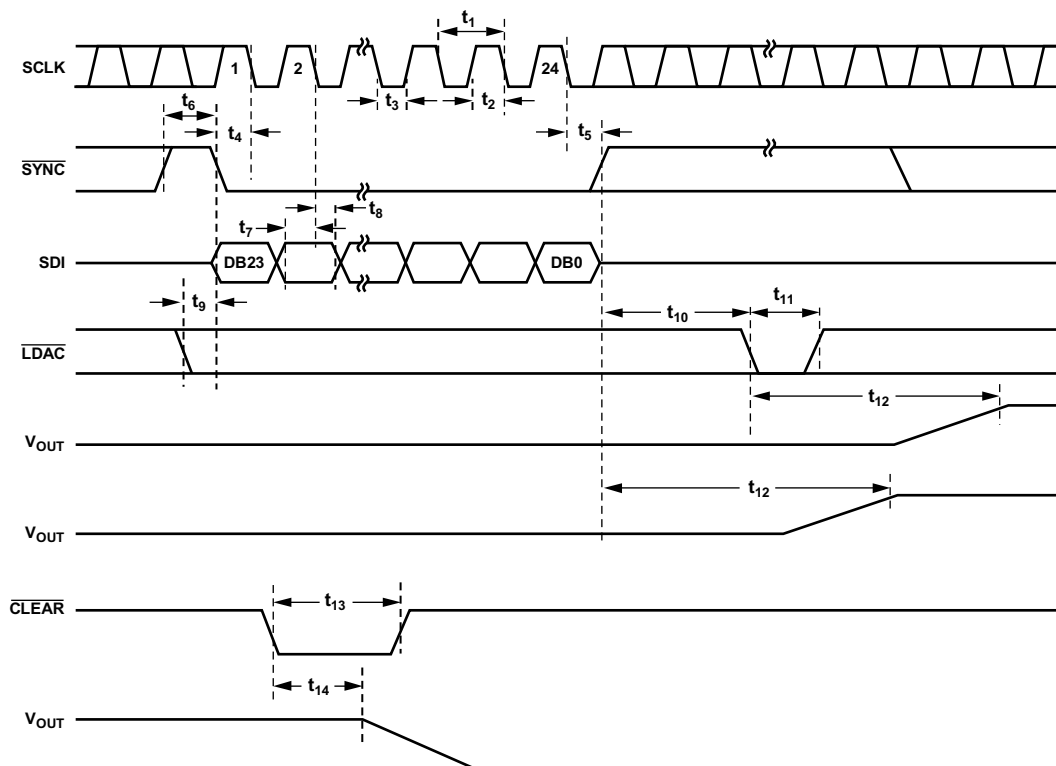


图2. 串行接口时序图

12355-002

# AD5761R/AD5721R

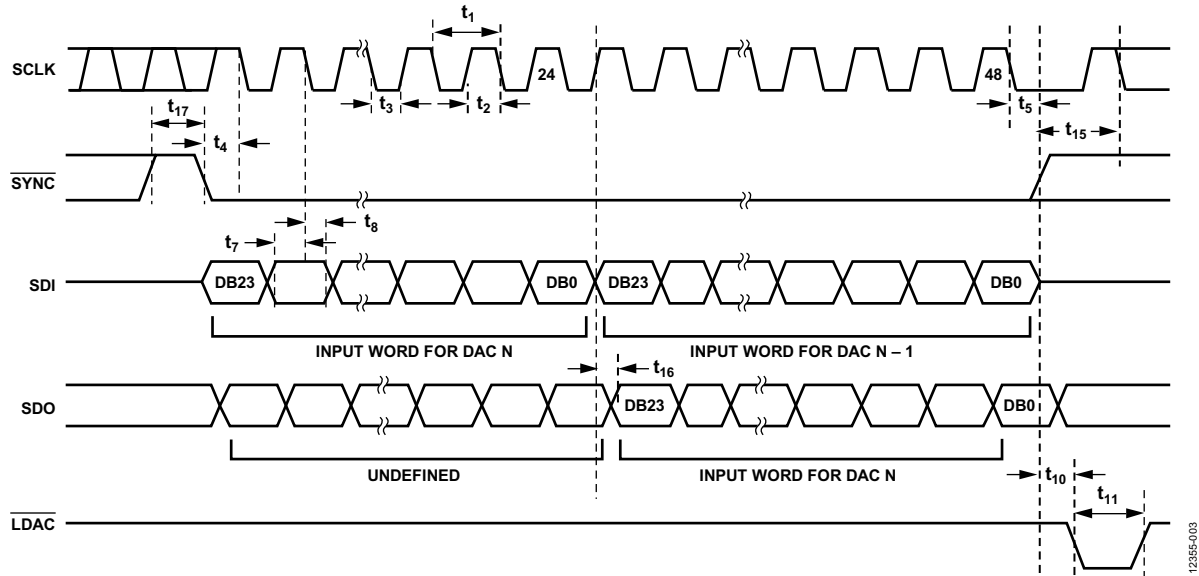


图3. 菊花链时序图

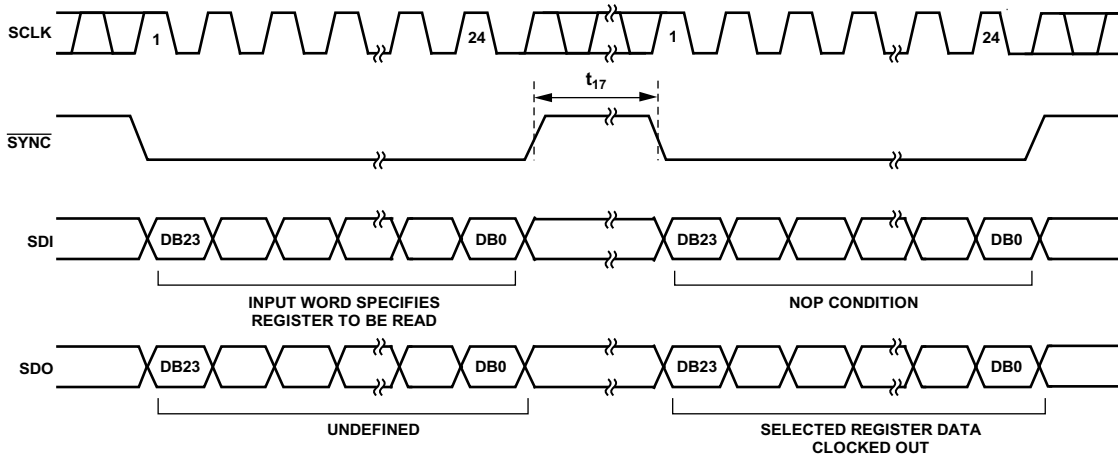


图4. 回读时序图



## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。200 mA以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

表4.

参数	额定值
$V_{DD}$ 至AGND	-0.3 V至+34 V
$V_{SS}$ 至AGND	+0.3 V至-17 V
$V_{DD}$ 至 $V_{SS}$	-0.3 V至+34 V
$DV_{CC}$ 至DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至 $DV_{CC} + 0.3 \text{ V}$ 或7 V (取较小者)
数字输出至DGND	-0.3 V至 $DV_{CC} + 0.3 \text{ V}$ 或7 V (取较小者)
$V_{REFIN}/V_{REFOUT}$ 至DGND	-0.3 V至+7 V
$V_{OUT}$ 至AGND	$V_{SS}$ 至 $V_{DD}$
AGND至DGND	-0.3 V至+0.3 V
工作工业温度范围, $T_A$ (工业)	-40°C至+125°C
存储温度范围	-65°C至+150°C
结温, $T_{JMAX}$	150°C
16引脚 TSSOP封装	
$\theta_{JA}$ 热阻	113°C/W <sup>1</sup>
$\theta_{JC}$ 热阻	28°C/W
16引脚 LFCSP封装	
$\theta_{JA}$ 热阻	75°C/W <sup>1</sup>
$\theta_{JC}$ 热阻	4.5°C/W <sup>2</sup>
功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
引脚温度	JEDEC工业标准
焊接	J-STD-020
ESD(人体模型)	4 kV

<sup>1</sup> JEDEC 2S2P测试板，静止空气(0 m/s气流)。

<sup>2</sup> 测量至裸露焊盘，封装顶部表面带有有限散热器。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### ESD警告

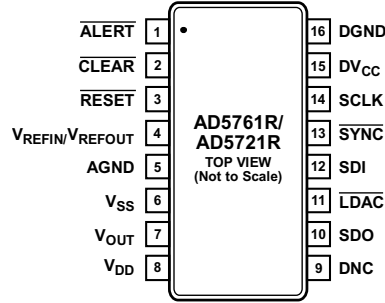


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD5761R/AD5721R

## 引脚配置和功能描述



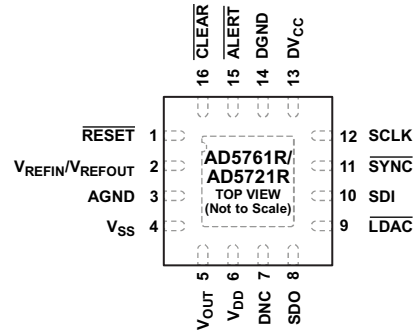
NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

12355-006

图5. 16引脚TSSOP引脚配置

表5. 16引脚TSSOP引脚功能描述

引脚编号	引脚名称	描述
1	ALERT	低电平有效报警。当芯片温度超过约150°C时，或者发生输出短路或掉电时，此引脚置位低电平。上电、全软件复位或硬件复位期间，此引脚也会置位低电平；对控制寄存器执行写操作可将该引脚置位高电平。
2	CLEAR	下降沿清零输入。置位此引脚可将DAC寄存器设置为零电平、中间电平或满量程代码(用户可选)，并更新DAC输出。此引脚内置上拉电阻，可以保持浮空。
3	RESET	低电平有效复位输入。此引脚置位时，AD5761R/AD5721R返回默认上电状态，输出箝位至地，输出缓冲器关断。此引脚内置上拉电阻，可以保持浮空。
4	VREFIN/VREFOUT	内部基准电压输出和外部基准电压输入。针对额定性能， $V_{REFIN}/V_{REFOUT} = 2.5 V$ 。使用内部基准电压源时，连接10 nF电容可使噪声最小。
5	AGND	模拟电路的接地基准引脚。
6	VSS	负模拟电源连接。可以将-16.5 V至0 V范围内的电压连接到此引脚。对于单极性输出范围，此引脚连接到0 V。必须将VSS去耦至AGND。
7	VOUT	DAC的模拟输出电压。输出放大器能够直接驱动一个2 kΩ、1 nF负载。
8	VDD	正模拟电源连接。对于单极性输出范围，此引脚可连接到4.75 V至30 V的电压。双极性输出范围支持4.75 V至16.5 V范围的电压。VDD必须去耦至AGND。
9	DNC	不连接。请勿连接该引脚。
10	SDO	串行数据输出。此引脚用于在菊花链模式或回读模式下从串行寄存器逐个输出数据。数据在SCLK上升沿逐个输出，而且在SCLK下降沿有效。
11	LDAC	加载DAC。此逻辑输入用于更新DAC寄存器和模拟输出。当永久接为低电平时，DAC寄存器在输入寄存器更新时更新。如果LDAC在写入输入寄存器期间保持高电平，则DAC输出寄存器不会更新，DAC输出直到LDAC下降沿才更新。此引脚内置上拉电阻，可以保持浮空。
12	SDI	串行数据输入。数据必须在SCLK的下降沿有效。
13	SYNC	低电平有效同步输入。此引脚是串行接口的帧同步信号。当SYNC处于低电平时，数据在SCLK下降沿输入。数据在SYNC的上升沿锁存。
14	SCLK	串行时钟输入。数据在SCLK下降沿读入输入移位寄存器。此引脚的工作时钟速率最高达50 MHz。
15	DVCC	数字电源。电压范围为1.7 V至5.5 V。施加的电压设置数字接口的工作电压。
16	DGND	数字地。



## NOTES

1. DNC = DO NOT CONNECT.
2. THE EXPOSED PAD MUST BE MECHANICALLY CONNECTED TO THE PCB COPPER PLANE FOR OPTIMAL THERMAL PERFORMANCE. THE EXPOSED PAD CAN BE LEFT ELECTRICALLY FLOATING.

122335-106

图6. 16引脚LFCSP引脚配置

表6. 16引脚LFCSP引脚功能描述

引脚编号	引脚名称	描述
1	RESET	低电平有效复位输入。此引脚置位时，AD5761R/AD5721R返回默认上电状态，输出箝位至地，输出缓冲器关断。此引脚内置上拉电阻，可以保持浮空。
2	VREFIN/VREFOUT	内部基准电压输出和外部基准电压输入。针对额定性能， $V_{REFIN}/V_{REFOUT} = 2.5 V$ 。使用内部基准电压源时，连接10 nF电容可使噪声最小。
3	AGND	模拟电路的接地基准引脚。
4	VSS	负模拟电源连接。可以将-16.5 V至0 V范围内的电压连接到此引脚。对于单极性输出范围，此引脚连接到0 V。必须将V <sub>SS</sub> 去耦至AGND。
5	VOUT	DAC的模拟输出电压。输出放大器能够直接驱动一个2 kΩ、1 nF负载。
6	VDD	正模拟电源连接。对于单极性输出范围，此引脚可连接到4.75 V至30 V的电压。双极性输出范围支持4.75 V至16.5 V范围的电压。V <sub>DD</sub> 必须去耦至AGND。
7	DNC	不连接。请勿连接该引脚。
8	SDO	串行数据输出。此引脚用于在菊花链模式或回读模式下从串行寄存器逐个输出数据。数据在SCLK上升沿逐个输出，而且在SCLK下降沿有效。
9	LDAC	加载DAC。此逻辑输入用于更新DAC寄存器和模拟输出。当永久接为低电平时，DAC寄存器在输入寄存器更新时更新。如果LDAC在写入输入寄存器期间保持高电平，则DAC输出寄存器不会更新，DAC输出直到LDAC下降沿才更新。此引脚内置上拉电阻，可以保持浮空。
10	SDI	串行数据输入。数据必须在SCLK的下降沿有效。
11	SYNC	低电平有效同步输入。此引脚是串行接口的帧同步信号。当SYNC处于低电平时，数据在SCLK下降沿输入。数据在SYNC的上升沿锁存。
12	SCLK	串行时钟输入。数据在SCLK下降沿读入输入移位寄存器。此引脚的工作时钟速率最高达50 MHz。
13	DVCC	数字电源。电压范围为1.7 V至5.5 V。施加的电压设置数字接口的工作电压。
14	DGND	数字地。
15	ALERT	低电平有效报警。当芯片温度超过约150°C时，或者发生输出短路或掉电时，此引脚置位低电平。上电、全软件复位或硬件复位期间，此引脚也会置位低电平；对控制寄存器执行写操作可将该引脚置位高电平。
16	CLEAR	下降沿清零输入。置位此引脚可将DAC寄存器设置为零电平、中间电平或满量程代码(用户可选)，并更新DAC输出。此引脚内置上拉电阻，可以保持浮空。
	EPAD	裸露焊盘。裸露焊盘必须机械连接到PCB铜层以实现最佳散热性能。裸露焊盘可以保持电气浮空。

## 典型性能参数

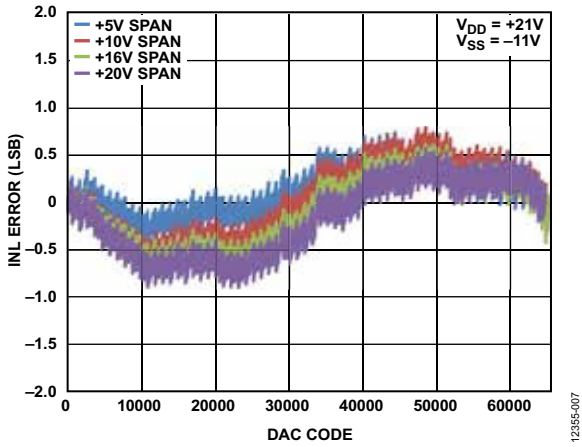


图7. AD5761R INL误差与DAC代码的关系，单极性输出

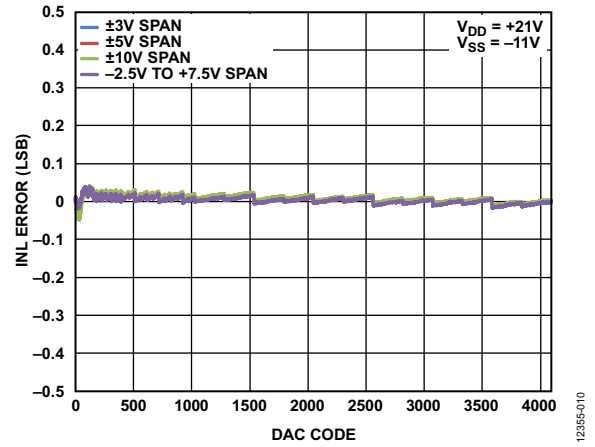


图10. AD5721R INL误差与DAC代码的关系，双极性输出

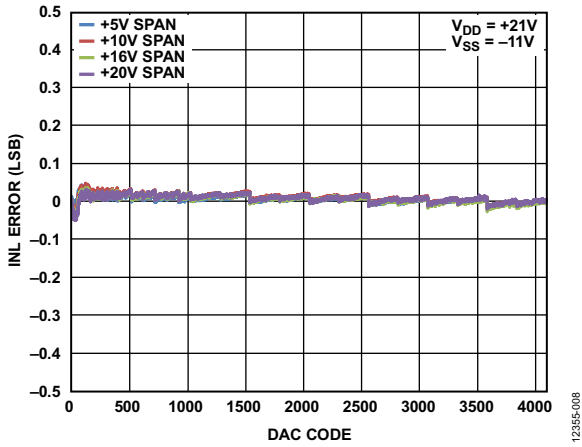


图8. AD5721R INL误差与DAC代码的关系，单极性输出

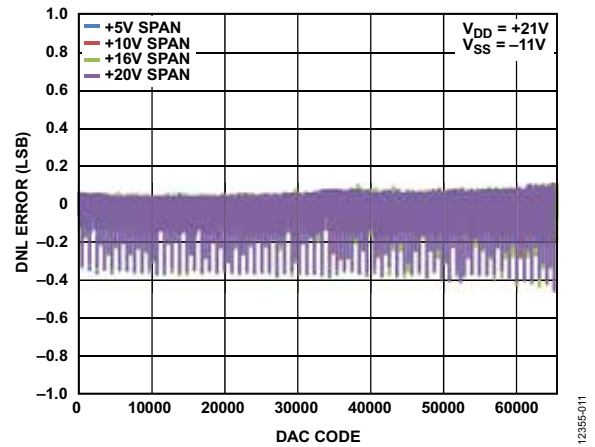


图11. AD5761R DNL误差与DAC代码的关系，单极性输出

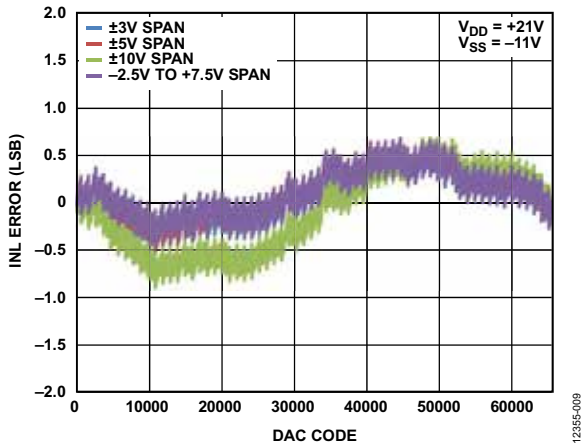


图9. AD5761R INL误差与DAC代码的关系，双极性输出

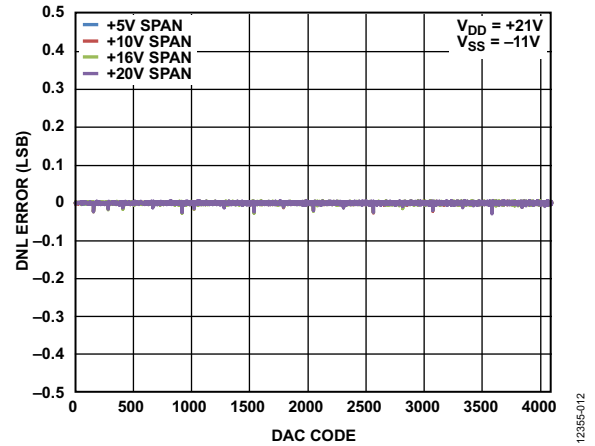


图12. AD5721R DNL误差与DAC代码的关系，单极性输出

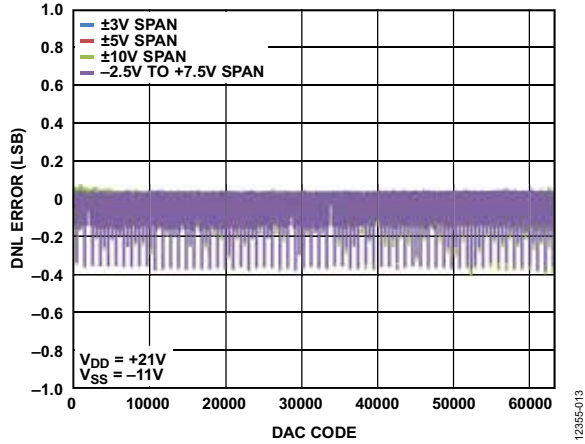


图13. AD5761R DNL误差与DAC代码的关系，双极性输出

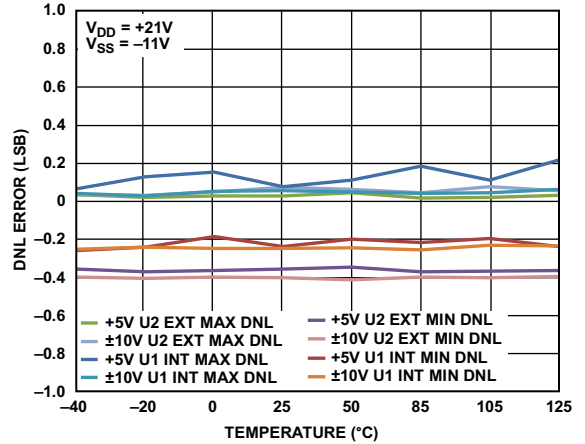


图16. DNL误差与温度的关系

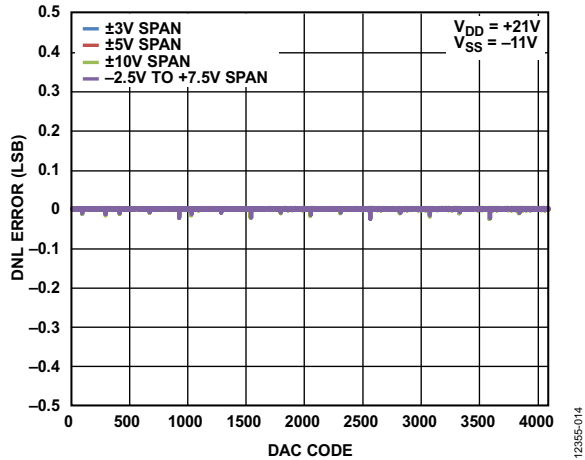


图14. AD5721R DNL误差与DAC代码的关系，双极性输出

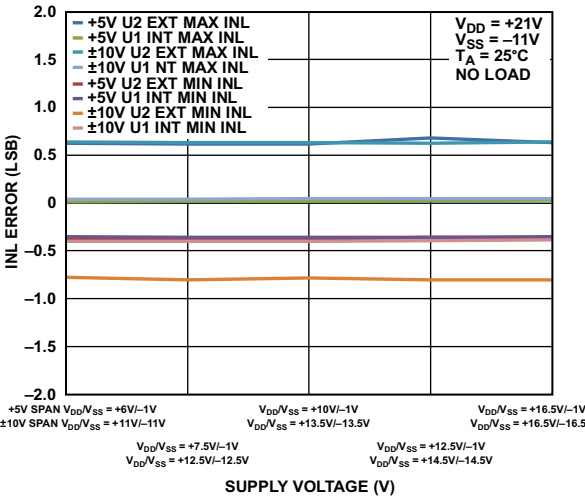


图17. INL误差与电源电压的关系

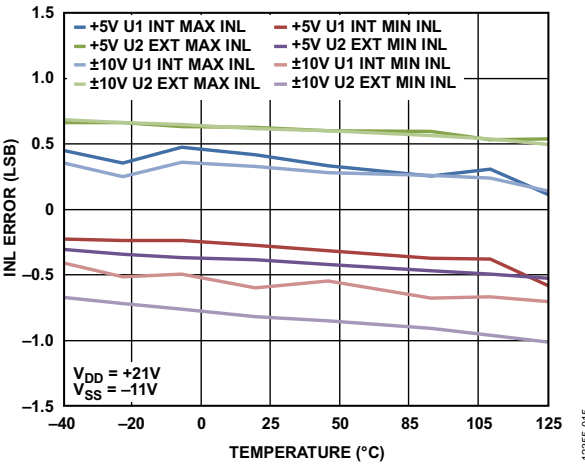


图15. INL误差与温度的关系

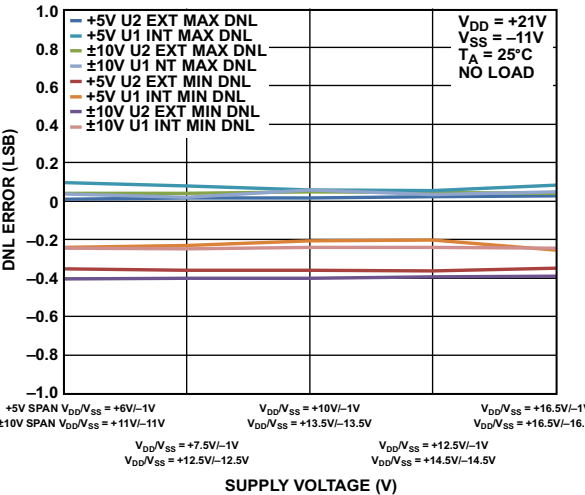


图18. DNL误差与电源电压的关系

# AD5761R/AD5721R

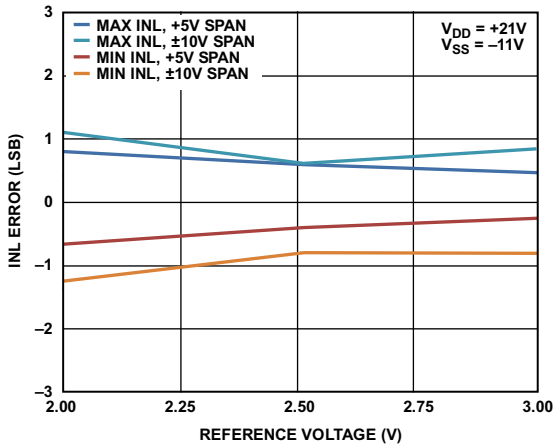


图19. INL误差与基准电压的关系

12395-019

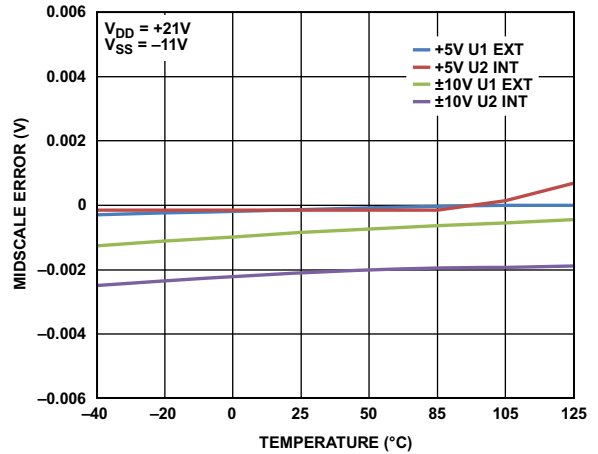


图22. 中间电平误差与温度的关系

12395-022

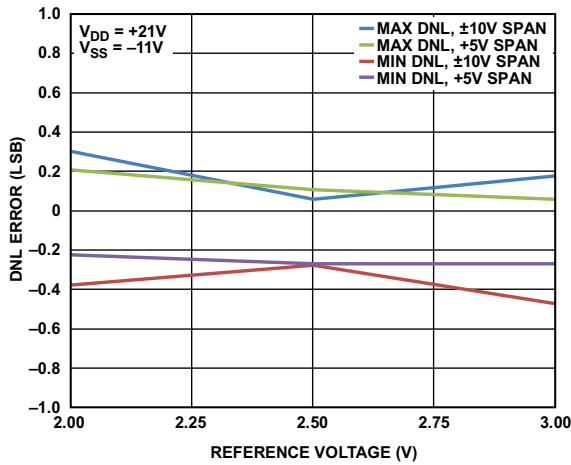


图20. DNL误差与基准电压的关系

12395-020

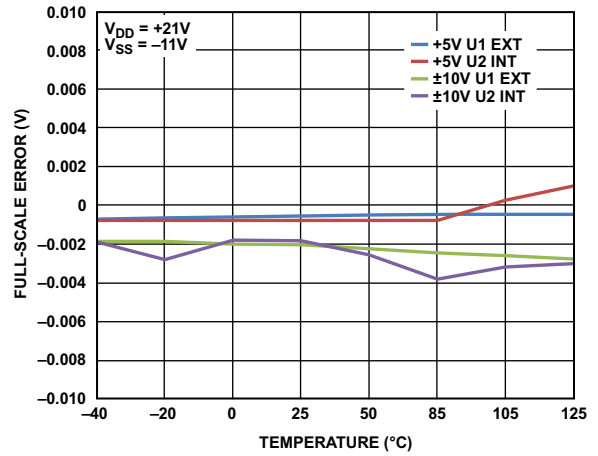


图23. 满量程误差与温度的关系

12395-023

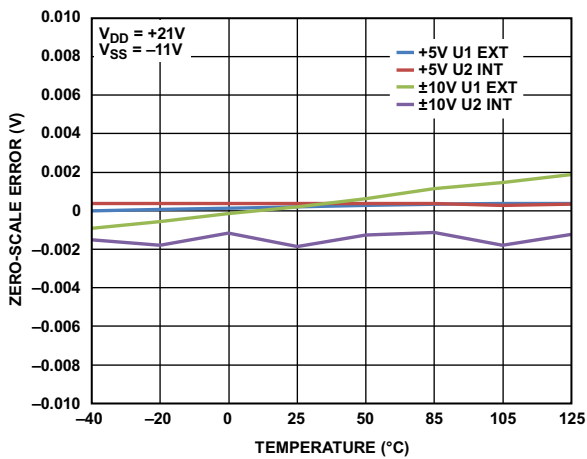


图21. 零电平误差与温度的关系

12395-021

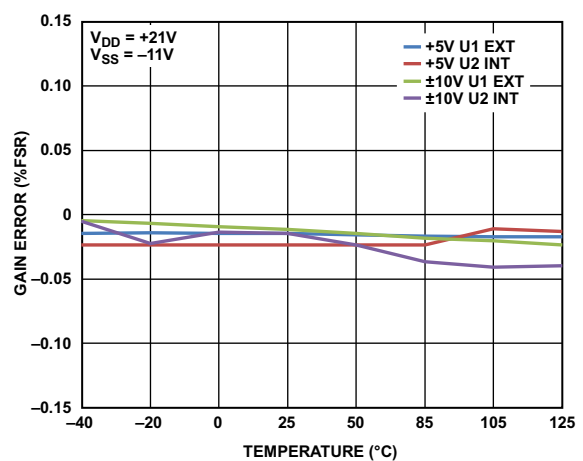


图24. 增益误差与温度的关系

12395-024

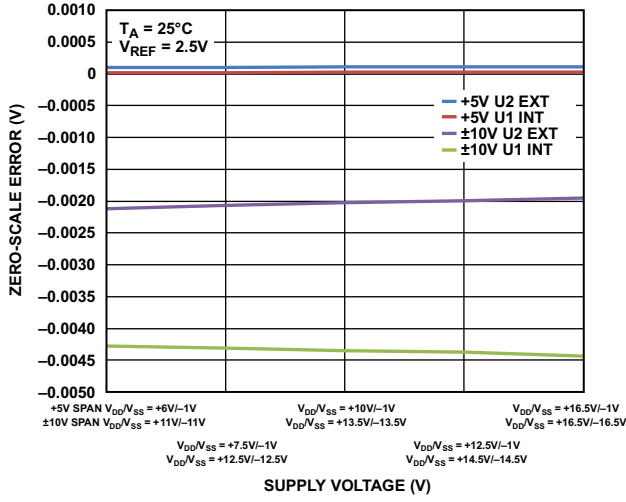


图25. 零电平误差与电源电压的关系

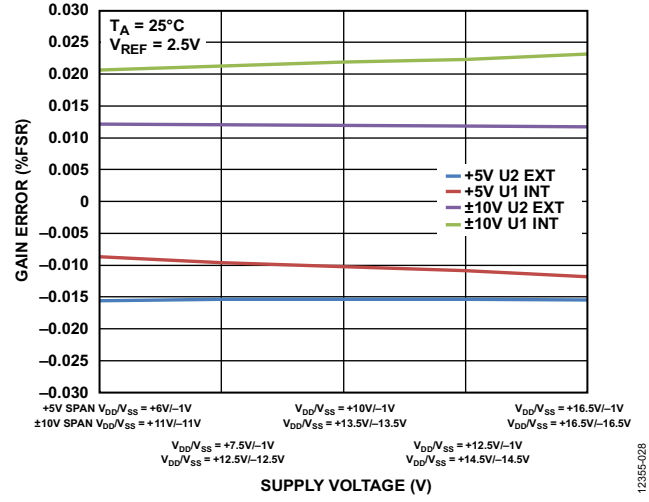


图28. 增益误差与电源电压的关系

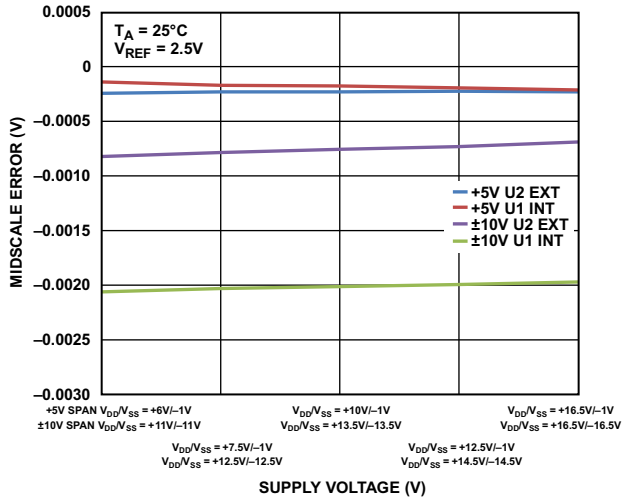


图26. 中间电平误差与电源电压的关系

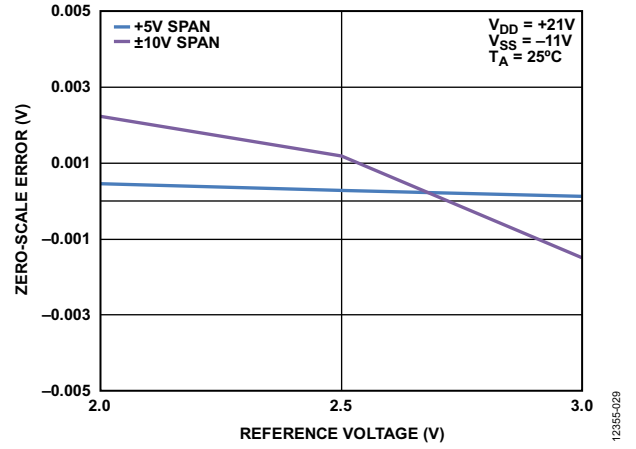


图29. 零电平误差与基准电压的关系

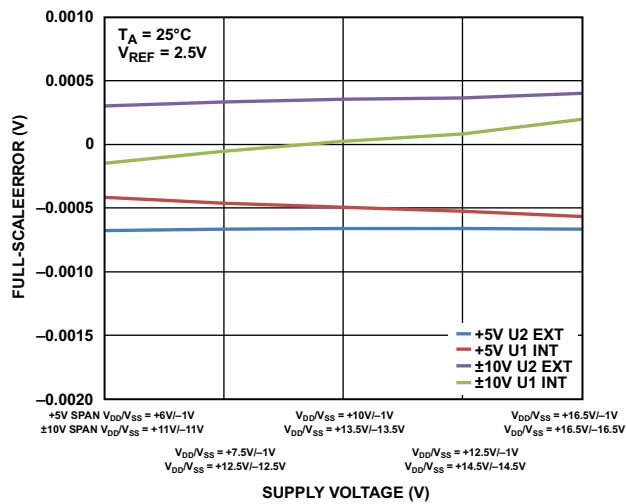


图27. 满量程误差与电源电压的关系

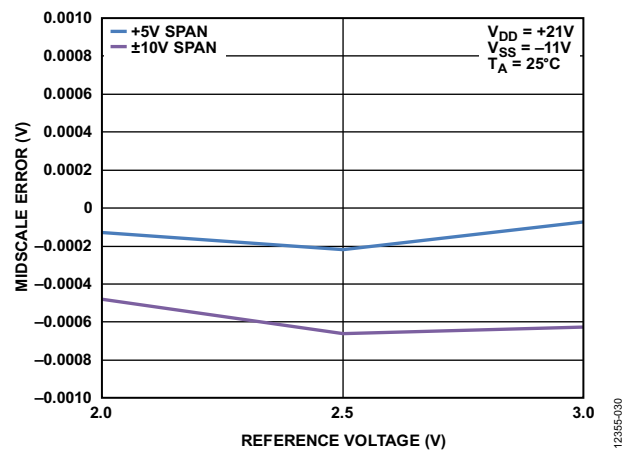


图30. 中间电平误差与基准电压的关系

# AD5761R/AD5721R

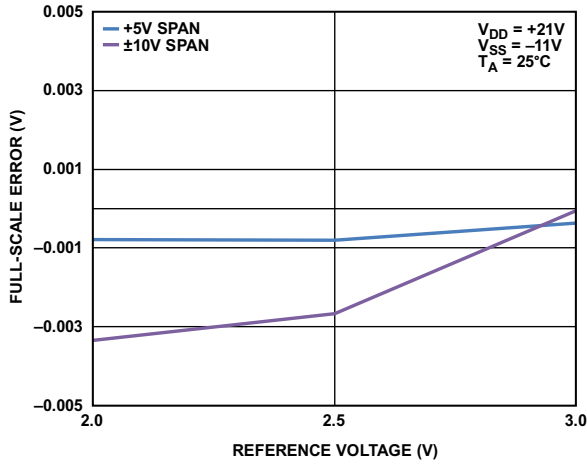


图31. 满量程误差与基准电压的关系

12355-031

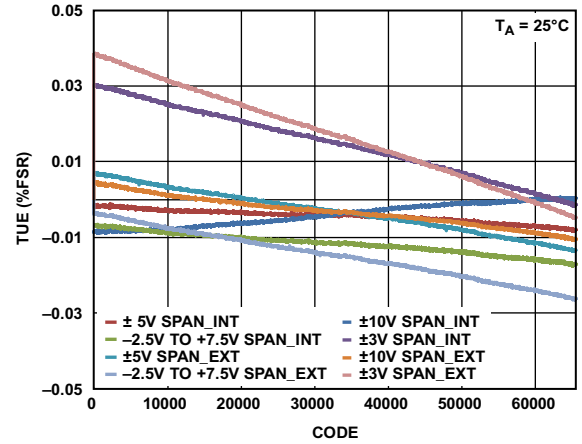


图34. TUE与代码的关系, 双极性输出

12355-034

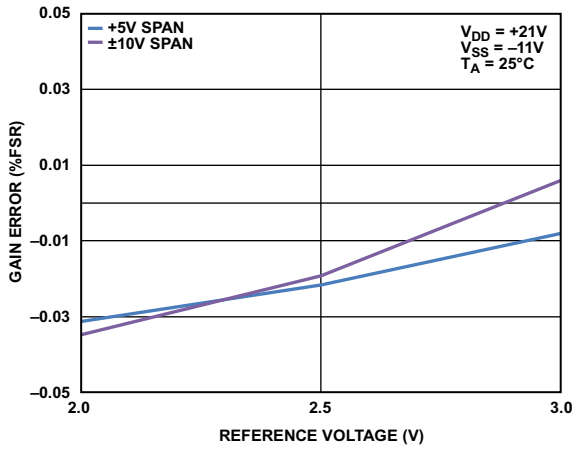


图32. 增益误差与基准电压的关系

12355-032

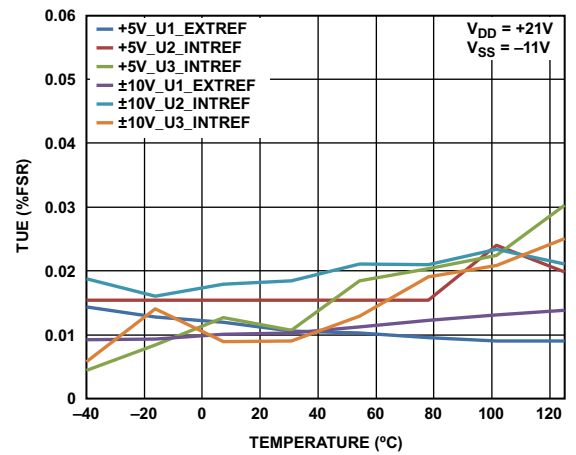


图35. TUE与温度的关系

12355-035

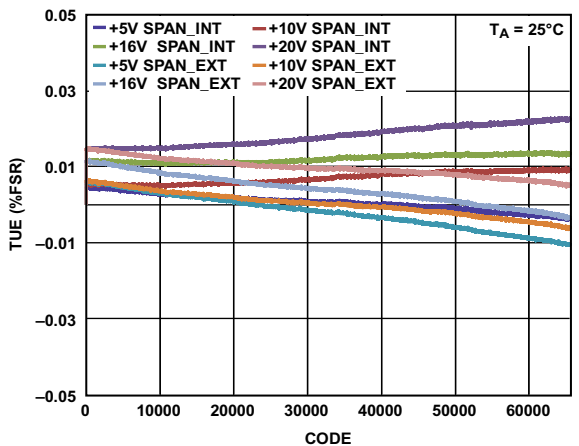


图33. TUE与代码的关系, 单极性输出

12355-033

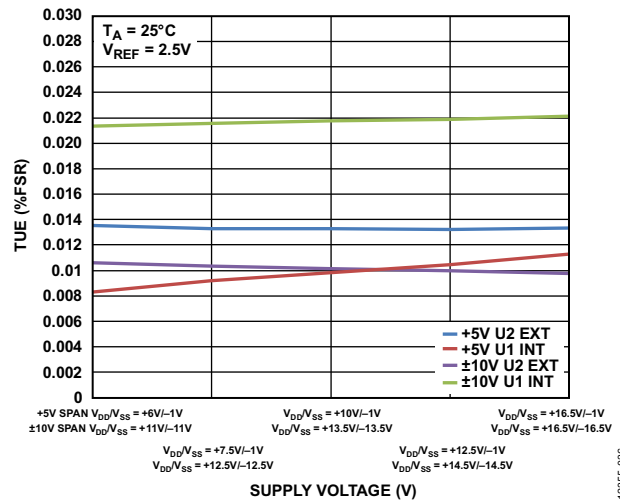


图36. TUE与电源电压的关系

12355-036



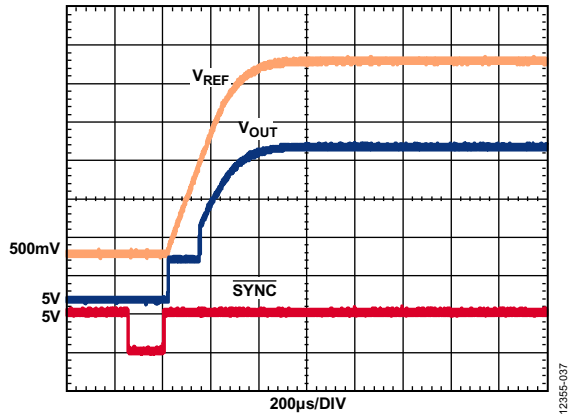


图37. 基准输出电压开启瞬变

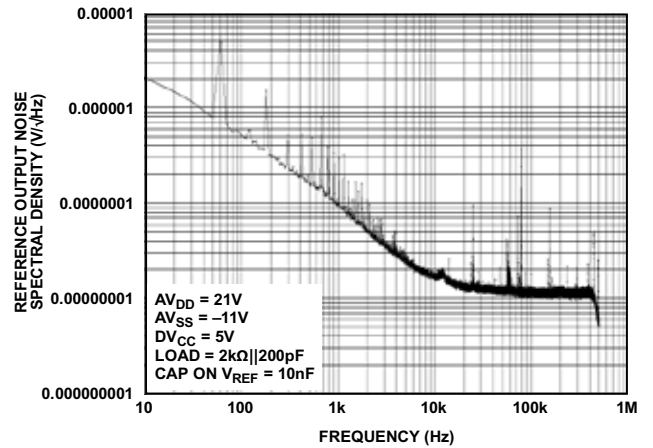


图40. 基准输出噪声谱密度与频率的关系

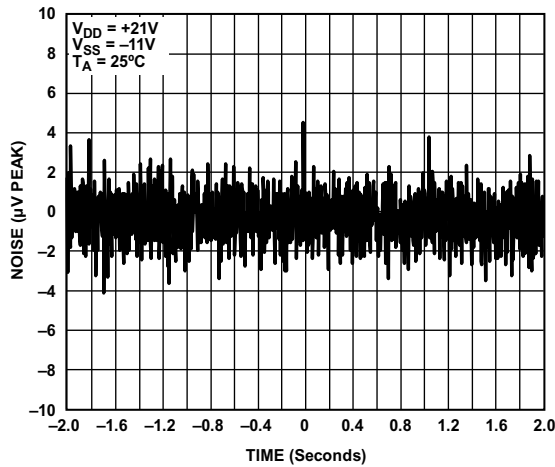


图38. 内部基准源噪声(100 kHz带宽)

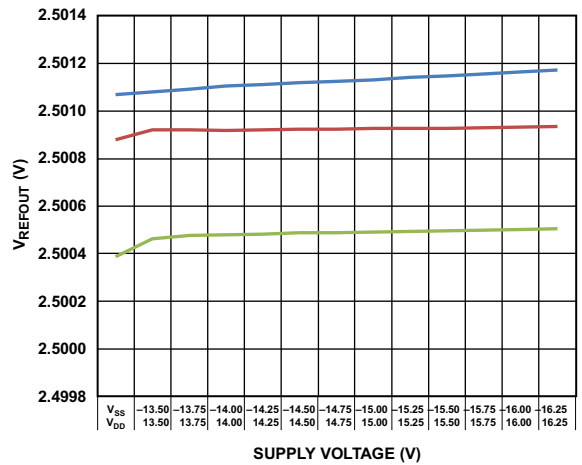


图41. 基准输出电压( $V_{REFOUT}$ )与电源电压的关系

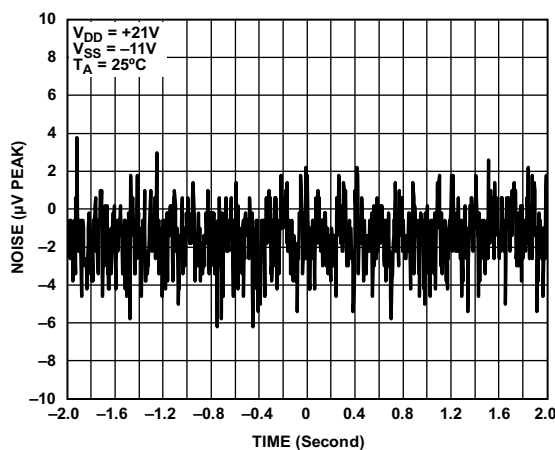


图39. 内部基准源噪声(0.1 Hz至10 Hz带宽)

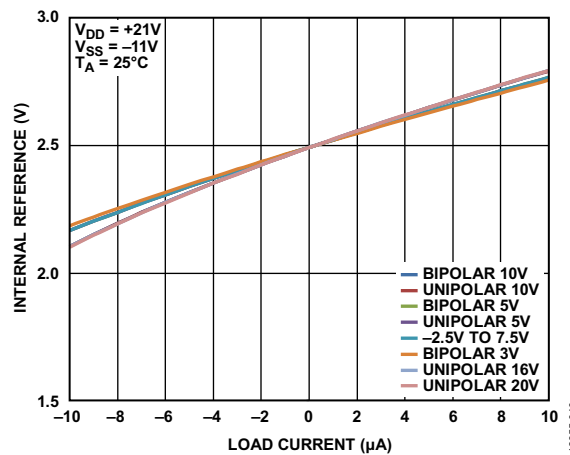


图42. 内部基准源与负载电流的关系

# AD5761R/AD5721R

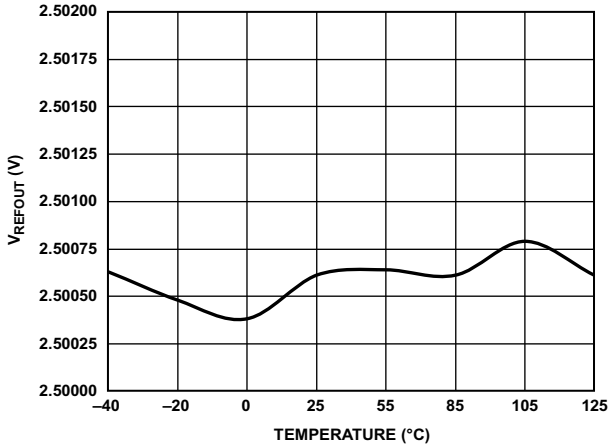


图43. 基准输出电压与温度的关系

12385-041

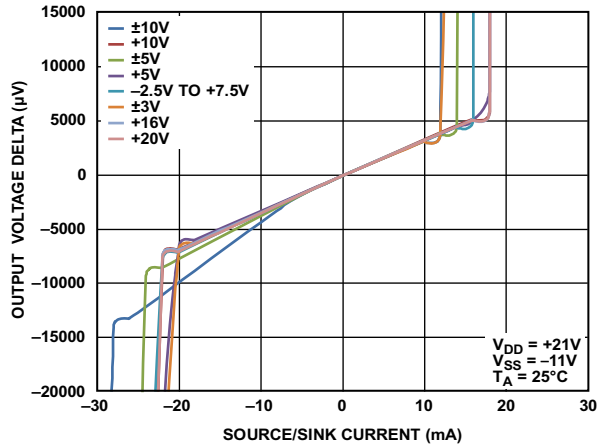


图46. 负满量程加载时输出放大器的吸电流与源电流能力

12385-044

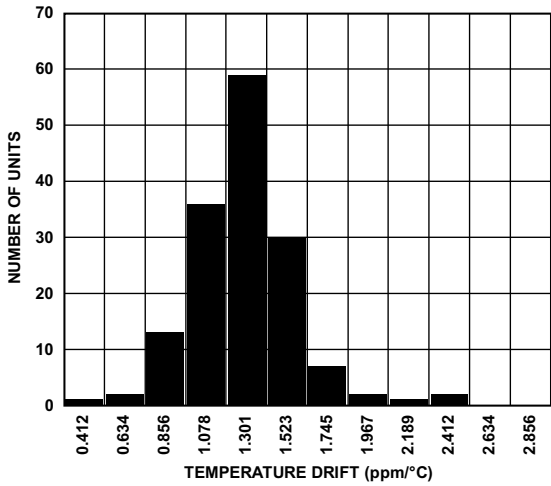


图44. 基准输出TC

12385-042

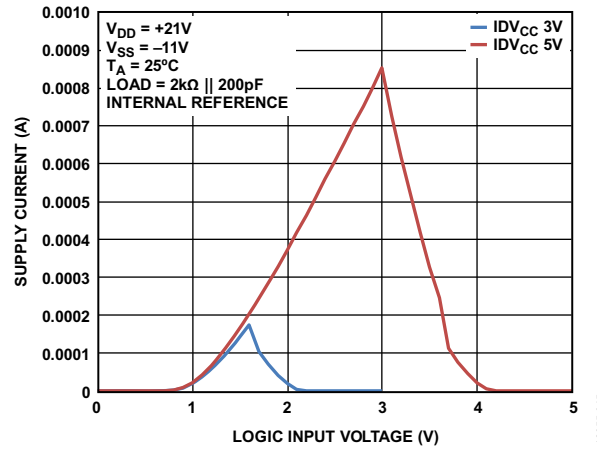


图47. 电源电流与逻辑输入电压的关系

12385-045

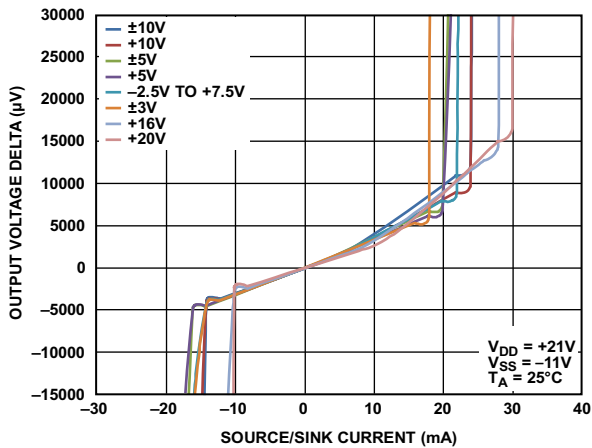


图45. 正满量程加载时输出放大器的吸电流与源电流能力

12385-043

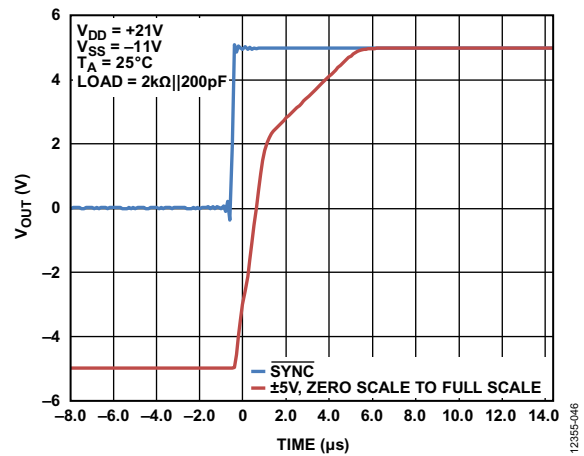


图48. 满量程建立时间(上升电压阶跃), ±5 V范围

12385-046

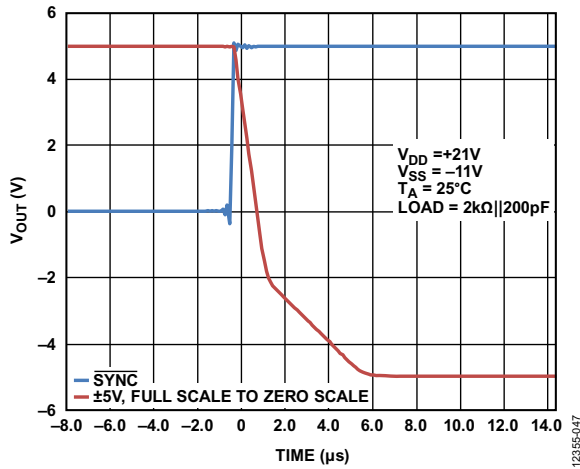


图49. 满量程建立时间(下降电压阶跃), ±5 V范围

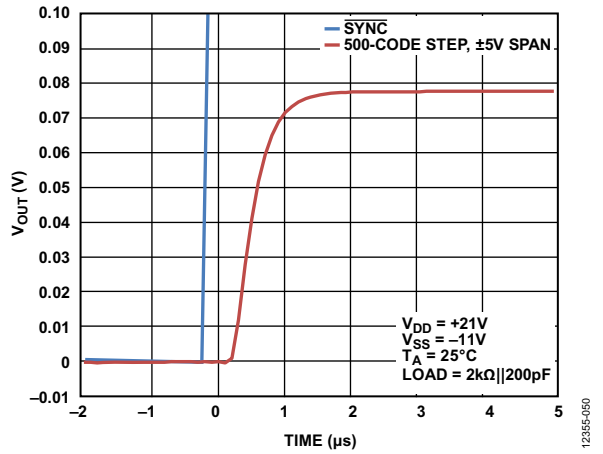


图52. 500代码阶跃建立时间, ±5 V范围

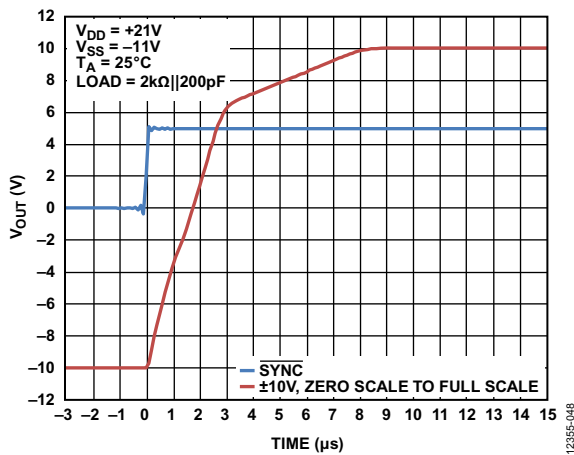


图50. 满量程建立时间(上升电压阶跃), ±10 V范围

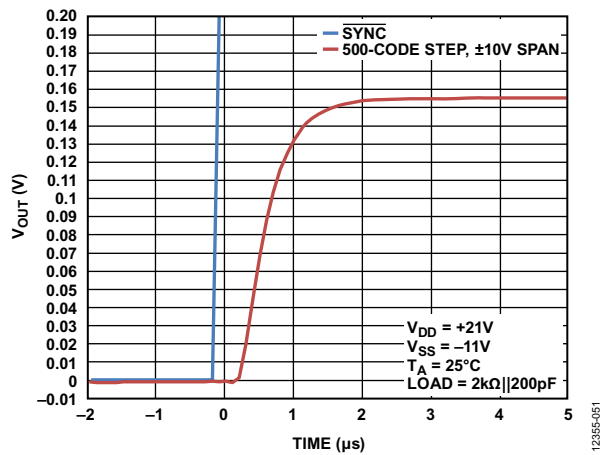


图53. 500代码阶跃建立时间, ±10 V范围

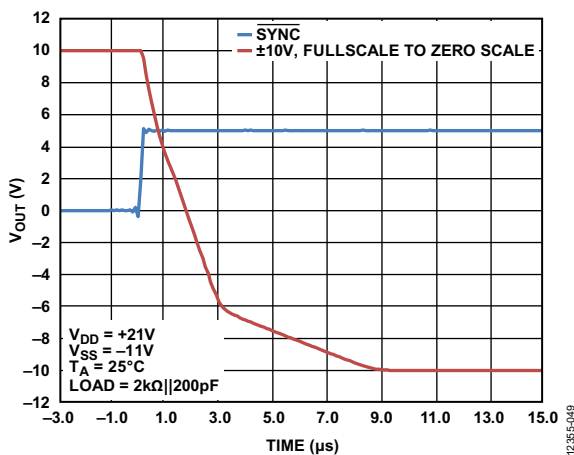


图51. 满量程建立时间(下降电压阶跃), ±10 V范围

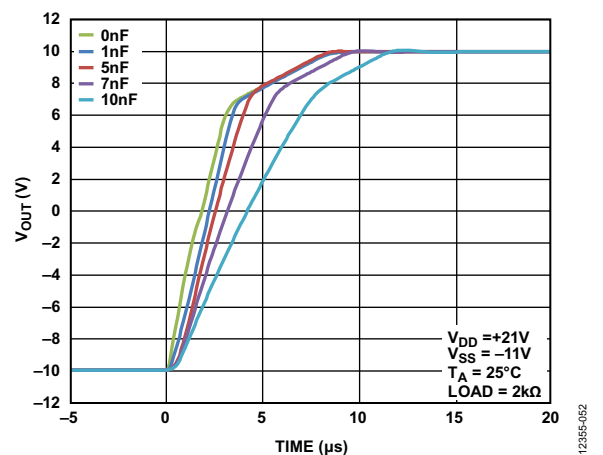


图54. 不同容性负载下满量程建立时间, ±10 V范围

# AD5761R/AD5721R

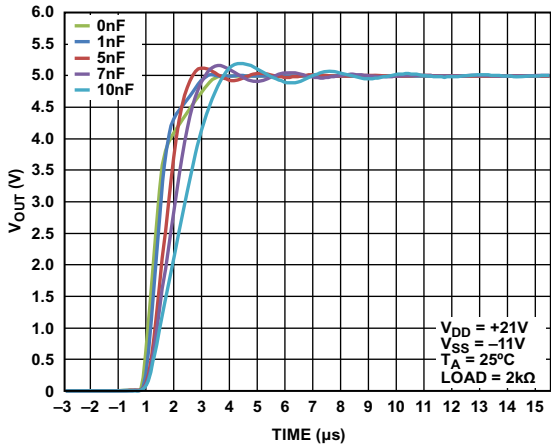


图55. 不同容性负载下满量程建立时间, 0 V至5 V范围

12355-053

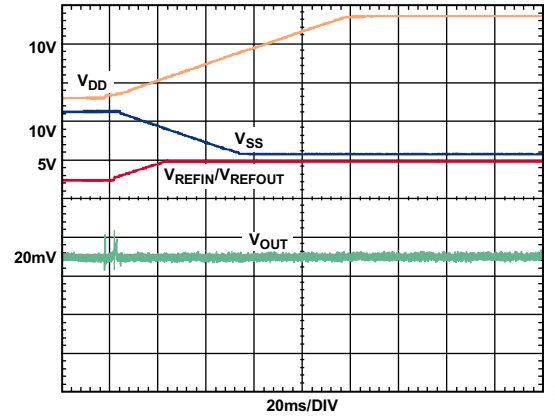


图58. 上电毛刺

12355-156

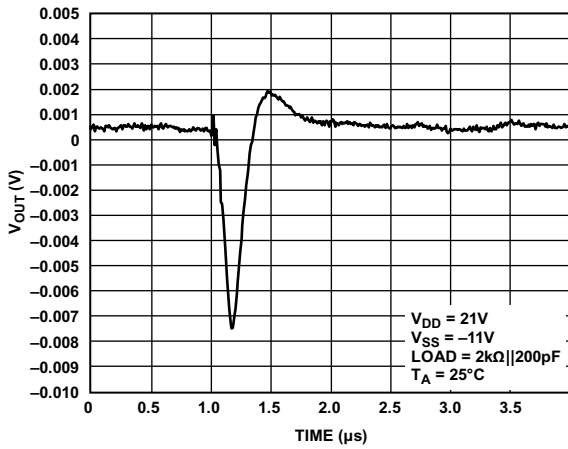


图56. 数模转换毛刺能量, 5 V范围

12355-054

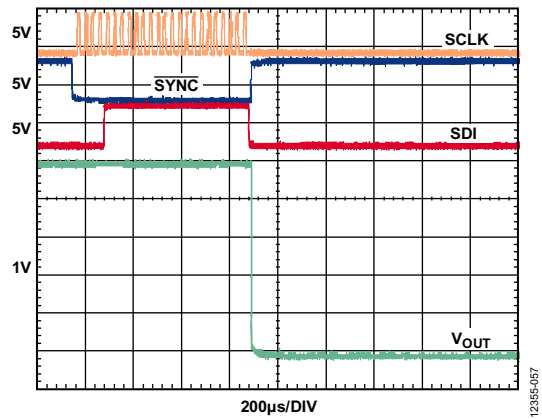


图59. 软件完全复位毛刺(从满量程, 输出有负载, 0 V至5 V范围)

12355-057

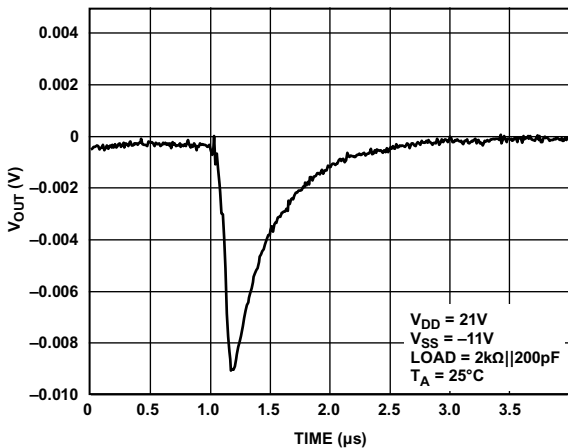


图57. 数模转换毛刺能量, ±10 V范围

12355-055

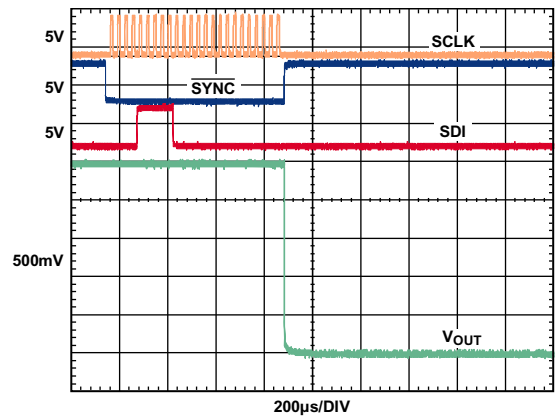


图60. 软件完全复位毛刺(从中间电平, 输出有负载, 5 V范围)

12355-058

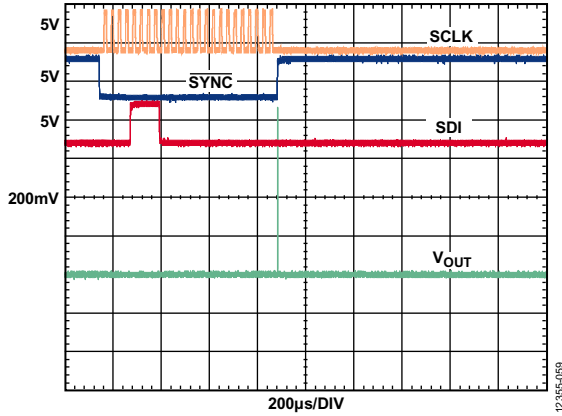


图61. 软件完全复位毛刺(从零电平, 输出有负载, 0 V至5 V范围)

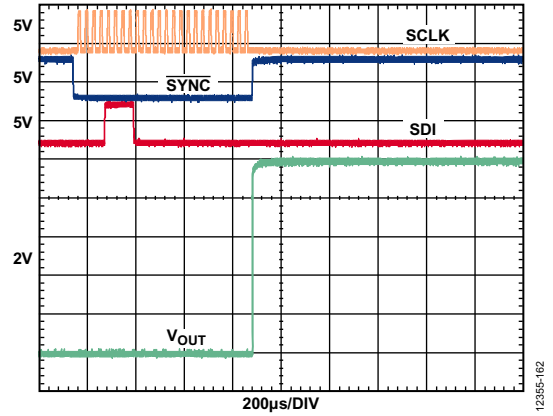


图64. 软件完全复位毛刺(从零电平, 输出有负载, ±10 V范围)

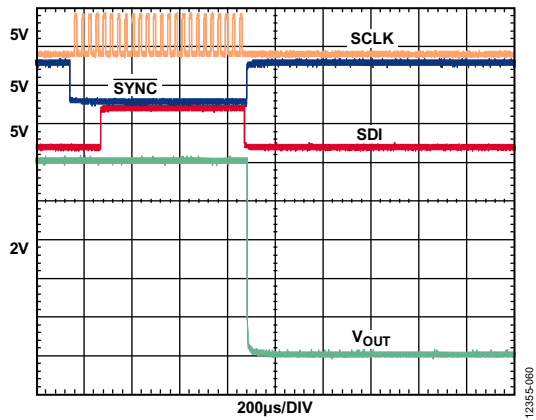


图62. 软件完全复位毛刺(从满量程, 输出有负载, ±10 V范围)

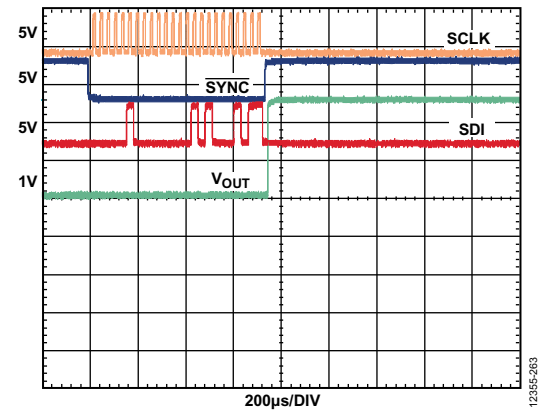


图65. 输出范围变更毛刺, 0 V至5 V范围

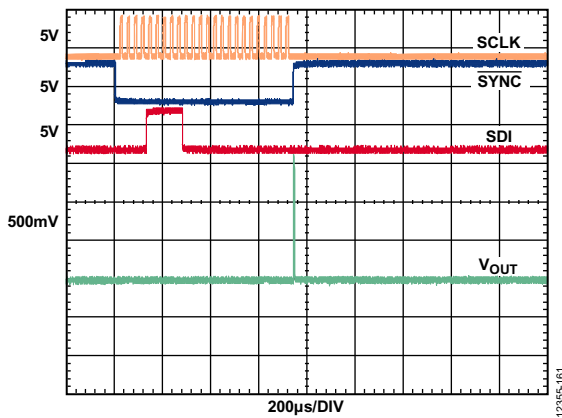


图63. 软件完全复位毛刺(从中间电平, 输出有负载, ±10 V范围)

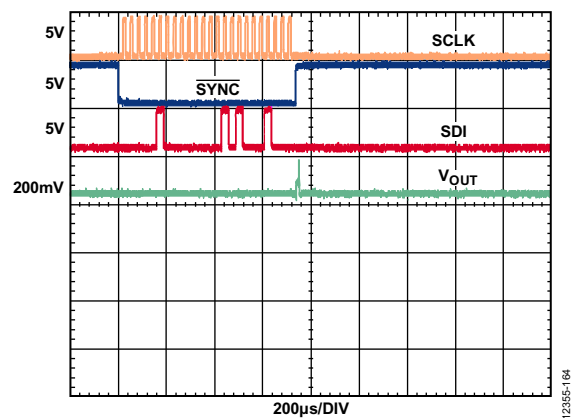


图66. 输出范围变更毛刺, ±10 V范围

# AD5761R/AD5721R

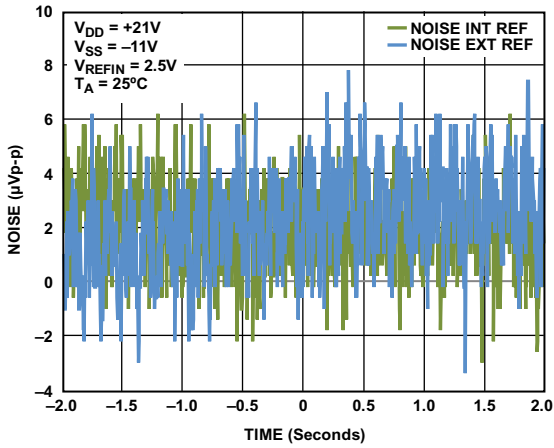


图67. 峰峰值噪声(电压输出噪声), 0.1 Hz至10 Hz带宽

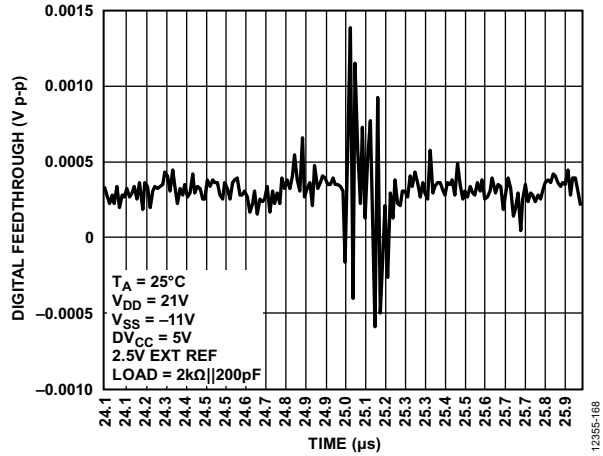


图70. 数字馈通

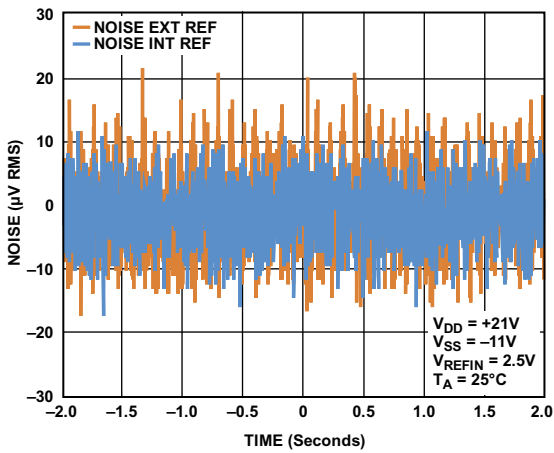


图68. 峰峰值噪声(电压输出噪声), 100 kHz带宽

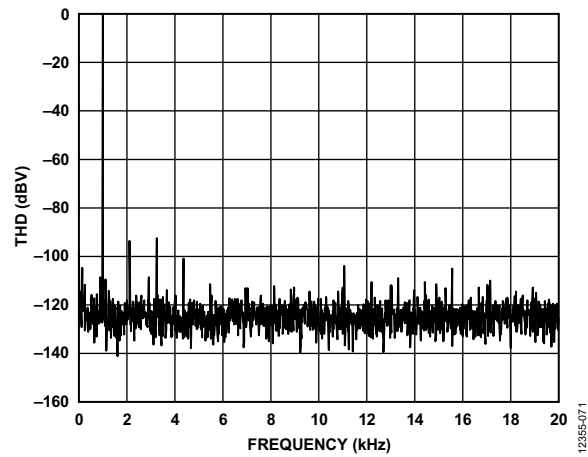


图71. 总谐波失真

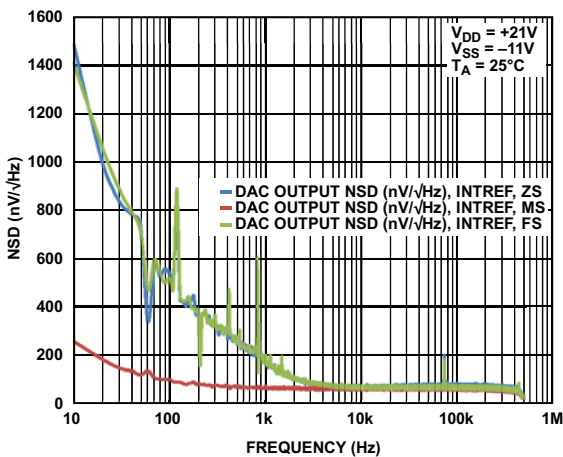


图69. DAC输出噪声谱密度(NSD)与频率的关系, ±10 V范围

## 术语

### 总不可调整误差(TUE)

总不可调整误差衡量包括所有误差在内的总输出误差，即INL误差、失调误差、增量误差以及在电源电压、温度和时间范围内的输出漂移，TUE用% FSR表示。

### 相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图7所示为典型INL误差与DAC代码的关系图。

### 差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定微分非线性可确保单调性。AD5761R/AD5721R保证单调性。图11所示为典型DNL误差与代码的关系图。

### 单调性

如果输出针对数字输入码增加而增加或保持恒定，则DAC具有单调性。AD5761R/AD5721R在其整个工作温度范围内具有单调性。

### 双极性零电平误差

对于AD5761R/AD5721R，双极性零电平误差是DAC寄存器载入0x8000(直接二进制编码)或0x0000(二进制补码编码)时模拟输出与0 V的理想半量程输出的偏差。

### 双极性零电平温度系数(TC)

双极性零电平温度系数(TC)衡量双极性零电平误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 零电平误差

零电平误差是将0x0000(直接二进制编码)或0x8000(二进制补码编码)载入DAC寄存器时的DAC输出电压误差。理想情况下，输出电压为负满量程。从图21可以看出零电平误差与温度的关系。

### 零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{\text{OUT}}$ (实际)和 $V_{\text{OUT}}$ (理想)之间的差值，用mV表示。

### 失调误差温度系数(TC)

失调误差温度系数衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 增益误差

增益误差衡量DAC的量程误差，它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示(% FSR)。从图24可以看出增益误差与温度的关系。

### 增益误差温度系数(TC)

增益误差温度系数(TC)衡量增益误差随温度的变化，用FSR/ $^\circ\text{C}$ 表示。

### 直流电源抑制比(DC PSRR)

直流电源抑制比衡量输出电压对DAC电源直流变化的抑制能力。它在电源电压的给定直流变化下测量，用mV/V表示。

### 交流电源抑制比(AC PSRR)

交流电源抑制比衡量输出电压对DAC电源交流变化的抑制能力。它在电源电压的给定幅度和频率变化下测量，用分贝(dB)表示。

### 输出电压建立时间

输出电压建立时间是指对于一个满量程输入变化，输出建立为指定电平所需的时间量。满量程建立时间如图48至图51所示。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。它一般规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量(参见图56和图57)。

### 毛刺脉冲峰值幅度

毛刺脉冲峰值幅度是DAC寄存器中的输入代码改变状态时注入模拟输出的脉冲的峰值幅度。它规定为毛刺的幅度，用mV表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量。

### 数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通用nV-sec表示，利用数据总线上的满量程代码变化测定。

### 噪声频谱密度(NSD)

噪声频谱密度衡量内部产生的随机噪声，用频谱密度( $\text{nV}/\sqrt{\text{Hz}}$ )表示。测量方法是先将DAC加载到满量程，然后测量输出端噪声。单位为 $\text{nV}/\sqrt{\text{Hz}}$ 。噪声频谱密度曲线图如图69所示。

# AD5761R/AD5721R

## 基准电压温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[ \frac{V_{REF\_MAX} - V_{REF\_MIN}}{V_{REF\_NOM} \times Temp\ Range} \right] \times 10^6$$

其中：

$V_{REF\_MAX}$ 是在整个温度范围内测量的最大基准电压输出。

$V_{REF\_MIN}$ 是在整个温度范围内测量的最小基准电压输出。

$V_{REF\_NOM}$ 是标称基准输出电压2.5 V。

*Temp Range*为额定温度范围-40°C至+125°C。

## 总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。

对于AD5761R/AD5721R，其定义为：

$$THD (dB) = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

$V_1$ 是基波幅度的均方根值。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 及 $V_6$ 是二次到六次谐波幅度的均方根值。



## 工作原理

### 数模转换器

AD5761R/AD5721R分别是单通道、16/12位电压输出型DAC，输出范围可通过软件选择如下设置：

- 单极性输出电压：0 V至5 V、0 V至10 V、0 V至16 V、0 V至20 V
- 双极性输出电压：-2.5 V至+7.5 V、±3 V、±5 V、±10 V

数据通过4线串行外设接口(SPI)兼容型数字接口以24位字格式写入AD5761R/AD5721R。这些器件还提供SDO引脚，以便于进行菊花链和回读配置。

### 传递函数

内部基准电压源默认使能。DAC的输入编码可以是直接二进制或二进制补码(仅限双极性范围)。因而，其传递函数为：

$$V_{OUT} = V_{REF} \times \left[ \left( m \times \frac{D}{65,536} \right) - c \right]$$

其中：

$V_{REF}$ 为2.5 V。

$D$ 为载入DAC寄存器的代码的十进制等效值，如下所示：

12位器件：0至4095。

16位器件：0至65,535。

$m$ 和 $c$ 的值如表7所示。

表7. 不同输出范围对应的 $m$ 和 $c$ 值

范围	$m$	$c$
±10 V	8	4
±5 V	4	2
±3 V	2.4	1.2
-2.5 V至+7.5 V	4	1
0 V至20 V	8	0
0 V至16 V	6.4	0
0 V至10 V	4	0
0 V至5 V	2	0

### DAC架构

DAC架构由一个R-2R DAC和一个输出缓冲放大器构成。图72为DAC架构框图。注意，基准电压输入先缓冲起来，然后再施加于DAC。AD5761R/AD5721R内置2.5 V、5 ppm/°C(最大值)基准电压源。

输出电压范围从可配置输出放大器获得，通过写入控制寄存器中的3个LSB(RA[2:0])来选择。

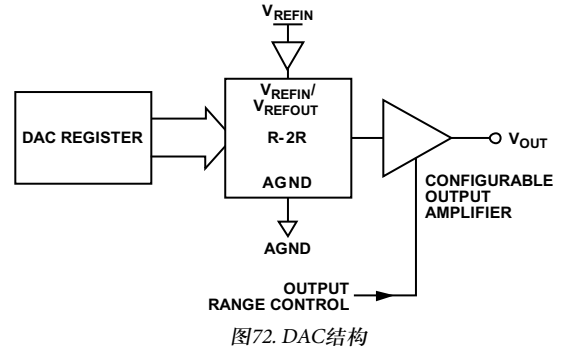


图72. DAC结构

### R-2R DAC

AD5761R的DAC架构由两个匹配的DAC部分组成。图73给出了简化电路图。16位数据字的6个MSB经解码后驱动63个开关E0至E62，数据字的其余10位驱动10位电压模式R-2R梯形网络的S0至S9开关。

载入DAC寄存器的代码决定 $V_{REF}$ 与地(AGND)之间的梯形网络的哪些臂切换。输出电压从梯形网络末端获得，经放大后提供所选的输出电压。

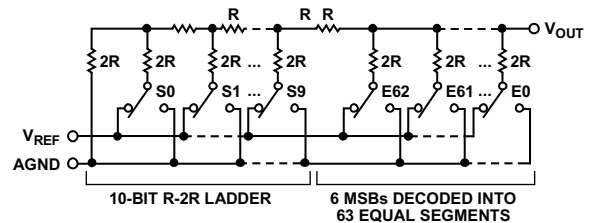


图73. DAC梯形结构

### 内部基准电压源

AD5761R/AD5721R内置基准电压源。上电时，片内基准电压源开启，可通过设置控制寄存器中的软件可编程位DB5来关闭此基准电压源。表12列出了该位的状态与工作模式的对应关系。

内部基准电压通过 $V_{REFIN}/V_{REFOUT}$ 引脚提供。如果利用基准电压输出驱动外部负载，则需要使用缓冲器。建议在基准电压输出与DGND之间放置一个1 nF至100 nF的电容，以改善噪声性能。

### 基准电压缓冲器

AD5761R/AD5721R可以采用外部或内部基准电压源工作，基准电压输入范围是2 V至3 V，额定性能为2.5 V。输入电压先缓冲起来，然后再施加于DAC核心。

# AD5761R/AD5721R

## DAC输出放大器

输出放大器能够产生单极性和双极性两种输出电压，它能驱动与接AGND的1 nF电容并联的2 kΩ负载。输出放大器的源电流和吸电流能力如图45所示。

## 串行接口

AD5761R/AD5721R 4线数字接口(SYNC、SCLK、SDI和SDO)兼容SPI。写序列开始于SYNC线被拉低后，此线必须保持低电平，直到从SDI引脚载入完整的数据字。数据在SCLK下降沿跃迁时载入(参见图2)。当SYNC变回高电平时，串行数据字按照表10中的说明解码。AD5761R/AD5721R带有一个SDO引脚，允许用户以菊花链形式将多个器件连接在一起或回读寄存器内容。

## 独立操作

串行接口采用连续式和非连续式两种串行时钟工作。仅当SYNC在正确的时钟周期数内保持低电平时，才能使用连续的SCLK时钟源。

在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。SYNC的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将SYNC重新拉高。如果在第24个SCLK下降沿之前拉高SYNC，写入的数据无效。如果拉高SYNC前有超过24个SCLK下降沿，输入数据同样无效。

输入移位寄存器在SYNC的上升沿更新。若需进行其他串行传输，必须将SYNC再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。写入周期完成时，就可以在LDAC为高电平的同时拉低SYNC，从而更新输出。

## 回读操作

输入寄存器、DAC寄存器和控制寄存器的内容可通过SDO引脚回读。图4显示了这些寄存器的解码情况。寻址一个待读取的寄存器后，数据将通过SDO引脚在接下来的24个时钟周期输出。时钟必须在SYNC为低电平时施加。当SYNC返回高电平时，SDO引脚变为三态。当读取单个寄存器时，无操作(NOP)功能用于输出数据。如果读取一个以上的寄存器，则第一个待寻址寄存器的数据可以在寻址第二个待读取寄存器的同时输出。要完成一个回读操作，必须使能SDO引脚。SDO引脚默认使能。

## 菊花链操作

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式有助于系统诊断和减少串行接口线的数量。SYNC的第一个下降沿启动写周期。当SYNC为低电平时，SCLK不断施加到输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。

将第一个器件的SDO连接到菊花链中下一个器件的SDI输入，可构建一个多器件接口。系统中的每个器件都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为菊花链中的AD5761R/AD5721R器件总数。当所有器件的串行传输都完成时，SYNC变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。

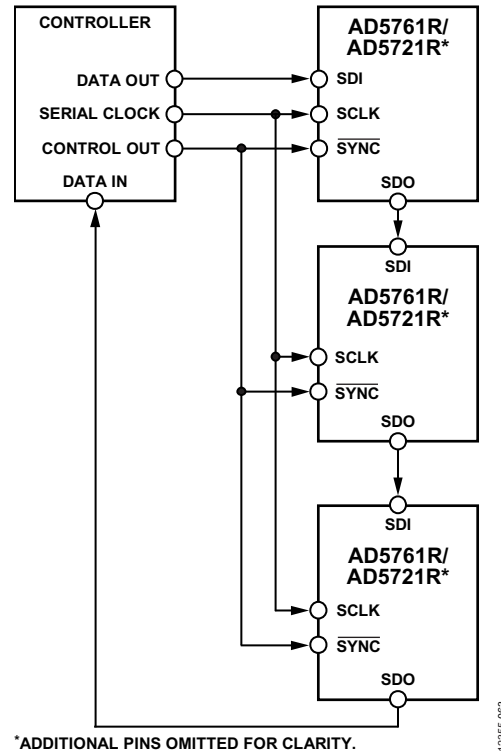


图74. 菊花链框图

## 硬件控制引脚

### 加载DAC功能(LDAC)

数据传输到DAC的输入寄存器之后，有两种方法可以更新DAC寄存器和DAC输出。根据SYNC和LDAC的状态，选择两种更新模式之一：同步DAC更新或异步DAC更新。

### 同步DAC更新

在同步DAC更新模式下，当数据进入输入移位寄存器时， $\overline{\text{LDAC}}$ 保持低电平。DAC输出在 $\overline{\text{SYNC}}$ 的上升沿更新。

### 异步DAC更新

在异步DAC更新模式下，当数据进入输入移位寄存器时， $\overline{\text{LDAC}}$ 保持高电平。拉高 $\overline{\text{SYNC}}$ 后，通过拉低 $\overline{\text{LDAC}}$ 可以更新DAC输出。此时在 $\overline{\text{LDAC}}$ 的下降沿进行更新。

### 复位功能( $\overline{\text{RESET}}$ )

AD5761R/AD5721R可以通过两种方式复位至上电状态：一是置位 $\overline{\text{RESET}}$ 引脚，二是利用软件完全复位寄存器(见表26)。

### 异步清零功能( $\overline{\text{CLEAR}}$ )

$\overline{\text{CLEAR}}$ 引脚是下降沿有效输入，允许输出清零至用户自定义值。清零代码值可通过写入控制寄存器中的位10和位9进行编程(参见表11和表12)。 $\overline{\text{CLEAR}}$ 必须保持低电平至少20 ns才能完成该操作(见图2)。当 $\overline{\text{CLEAR}}$ 信号变回高电平后，输出保持清零值，直到新值载入DAC寄存器。

### 报警功能( $\overline{\text{ALERT}}$ )

当 $\overline{\text{ALERT}}$ 引脚置位低电平时，需要回读控制寄存器以澄清是否发生短路或掉电情况，这取决于位12和位11(分别为SC和BO位)的值(参见表15和表16)。如果没有发生以上情况，则说明温度超过约150°C。

$\overline{\text{ALERT}}$ 引脚在上电、软件完全复位或硬件复位期间为低电平。第一次写入控制寄存器以配置DAC之后， $\overline{\text{ALERT}}$ 引脚置位高电平。

如果芯片温度超过约150°C，则 $\overline{\text{ALERT}}$ 引脚变为低电平，ETS位的值决定器件数字电源的状态，即内部数字电源是上电还是关断。如果ETS位设置为0，则当芯片温度超过约150°C时，内部数字电源上电。如果ETS位设置为1，则当芯片温度超过约150°C时，内部数字电源关断，器件不工作(参见表11和表12)。

为使器件正常工作，AD5761R/AD5721R上电温度必须低于150°C。

### 热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。AD5761R热滞数据如图75所示。其测量条件是从环境温度变为-40°C，然后变为125°C，再回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 $V_{\text{REF}}$ (如图75所示)。

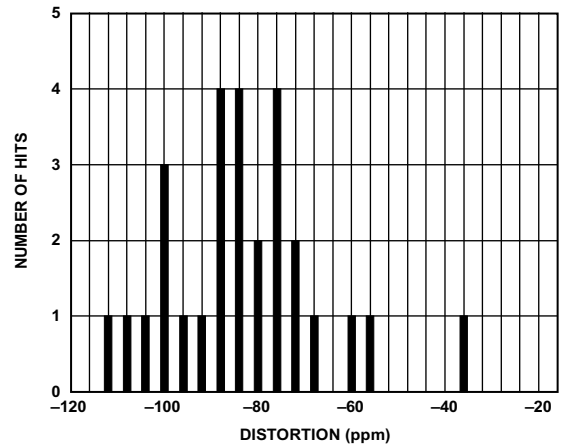


图75. 热滞

# AD5761R/AD5721R

## 寄存器详解

### 输入移位寄存器

输入移位寄存器为24位宽。在工作速率最高达50 MHz的串行时钟输入SCLK的控制下，数据作为24位字以MSB优先的方式载入器件。输入移位寄存器由3个无关位、1个固定值位(DB20 = 0)、4个地址位和一个16位或12位数据字组成，分别如表8和表9所示。

**表8. AD5761R 16位输入移位寄存器格式**

MSB									LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]	
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	寄存器地址				寄存器数据	

<sup>1</sup>X表示无关。

**表9. AD5721R 12位输入移位寄存器格式**

MSB									LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:4]	DB[3:0]
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	寄存器地址				寄存器数据	XXXX <sup>1</sup>

<sup>1</sup>X表示无关。

**表10. 输入移位寄存器命令**

寄存器地址				命令
DB19	DB18	DB17	DB16	
0	0	0	0	无操作
0	0	0	1	写入输入寄存器(无更新)
0	0	1	0	从输入寄存器更新DAC寄存器
0	0	1	1	写入和更新DAC寄存器
0	1	0	0	写入控制寄存器
0	1	0	1	无操作
0	1	1	0	无操作
0	1	1	1	软件数据复位
1	0	0	0	保留
1	0	0	1	禁用菊花链功能
1	0	1	0	回读输入寄存器
1	0	1	1	回读DAC寄存器
1	1	0	0	回读控制寄存器
1	1	0	1	无操作
1	1	1	0	无操作
1	1	1	1	软件完全复位

## 控制寄存器

控制寄存器控制AD5761R/AD5721R的工作模式。控制寄存器选项如表11和表12所示。

上电时，完全复位或硬件复位之后，DAC输出通过1 kΩ电阻箝位至地，输出缓冲器保持关断模式。为了配置器件、消除地电压箝位以及让输出缓冲器上电，需要对控制寄存器执行写操作。

工作过程中重新配置DAC输出范围时，必须先向器件写入软件完全复位命令(参见表26)，然后写入控制寄存器。

**表11. 写入控制寄存器**

MSB										LSB
DB[23:21]	DB20	DB[19:16]	DB[15:11]	DB[10:9]	DB8	DB7	DB6	DB5	DB[4:3]	DB[2:0]
		寄存器地址	寄存器数据							
XXX <sup>1</sup>	0	0100	XXXX <sup>1</sup>	CV[1:0]	OVR	B2C	ETS	IRO	PV[1:0]	RA[2:0]

<sup>1</sup>X表示无关。

**表12. 控制寄存器功能**

位名称	描述
CV[1:0]	CLEAR电压选择。 00: 零电平 01: 中间电平 10、11: 满量程
OVR	5%超范围。 0: 禁用5%超范围。 1: 使能5%超范围
B2C	双极性范围。 0: 针对双极性输出范围，DAC输入为直接二进制编码。 1: 针对双极性输出范围，DAC输入为二进制补码编码。
ETS	热关断报警。如果器件在温度高于150°C(大于器件的额定最大值)的情况下上电，报警功能可能无法正常工作。 0: 芯片温度超过150°C时，内部数字电源不关断。 1: 芯片温度超过150°C时，内部数字电源关断。
IRO	内部基准电压源。 0: 内部基准电压源关闭 1: 内部基准电压源开启
PV[1:0]	上电电压。 00: 零电平 01: 中间电平 10, 11: 满量程
RA[2:0]	输出范围。配置输出范围之后，器件必须复位。 000: -10 V至+10 V 001: 0 V至+10 V 010: -5 V至+5 V 011: 0 V至5 V 100: -2.5 V至+7.5 V 101: -3 V至+3 V 110: 0 V至16 V 111: 0 V至20 V

# AD5761R/AD5721R

**表13. 双极性输出范围可能的代码**

直接二进制	十进制代码	二进制补码
1111	7	0111
1110	6	0110
1101	5	0101
1100	4	0100
1011	3	0011
1010	2	0010
1001	1	0001
1000	0	0000
0111	-1	1111
0110	-2	1110
0101	-3	1101
0100	-4	1100
0011	-5	1011
0010	-6	1010
0001	-7	1001
0000	-8	1000

## 回读控制寄存器

回读控制寄存器通过将寄存器地址设置为1100来提供控制寄存器的内容。表14列出了此命令的24位移位寄存器，其中后16位是无关位。

在下一命令执行期间，控制寄存器内容通过SDO引脚移出，MSB首先移出。表15列出了从SDO引脚读出的24位数据，其中DB23是第一个移出的位。

**表14. 回读控制寄存器，24位移位寄存器送至SDI引脚**  
MSB

DB[23:21]	DB20	DB[19:16]	DB[15:0]
		寄存器地址	寄存器数据
XXX <sup>1</sup>	0	1100	无关

LSB

<sup>1</sup>X表示无关。

**表15. 回读控制寄存器，24位数据从SDO引脚读出**

MSB												LSB	
DB[23:21]	DB20	DB[19:16]	DB[15:13]	DB12	DB11	DB[10:9]	DB8	DB7	DB6	DB5	DB[4:3]	DB[2:0]	
		寄存器地址	寄存器数据										
XXX <sup>1</sup>	0	1100	XXX <sup>1</sup>	SC	BO	CV[1:0]	OVR	B2C	ETS	IRO	PV[1:0]	RA[2:0]	

<sup>1</sup>X表示无关。

**表16. 回读控制寄存器位功能描述**

位名称	描述
SC	短路状况。每次写入控制寄存器时，SC位都会复位。 0: 未检测到短路状况 1: 检测到短路状况
BO	掉电状况。每次写入控制寄存器时，BO位都会复位。 0: 未检测到掉电状况 1: 检测到掉电状况

### 从输入寄存器更新DAC寄存器

更新DAC寄存器功能用输入寄存器中保存的数据加载DAC寄存器并更新DAC输出电压。此操作与软件 $\overline{\text{LDAC}}$ 等效。表17说明如何将数据写入DAC寄存器。

**表17. 从输入寄存器更新DAC寄存器**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	0010				无关

<sup>1</sup>X表示无关。

### 回读DAC寄存器

回读DAC寄存器通过将寄存器地址设置为1011来提供DAC寄存器的内容。表18列出了此命令的24位移位寄存器。在下一命令执行期间，DAC寄存器内容通过SDO引脚移出，MSB首先移出。表19列出了从SDO引脚读出的24位数据，其中DB23是第一个移出的位。

**表18. 回读DAC寄存器，24位移位寄存器送至SDI引脚**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1011				无关

<sup>1</sup>X表示无关。

**表19. 回读DAC寄存器，24位数据从SDO引脚读出**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1011				从DAC寄存器读出的数据

<sup>1</sup>X表示无关。

### 写入和更新DAC寄存器

写入和更新DAC寄存器(寄存器地址0011)用从输入移位寄存器输入的数据字更新输入寄存器和DAC寄存器，与 $\overline{\text{LDAC}}$ 的状态无关。

将寄存器地址设置为0001，以将输入移位寄存器中的数据写入输入寄存器，MSB首先通过SDI引脚输入。

**表20. 写入和更新DAC寄存器**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	0001				加载的数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	0011				加载的数据

<sup>1</sup>X表示无关。



# AD5761R/AD5721R

## 回读输入寄存器

回读输入寄存器通过将寄存器地址设置为1010来提供输入寄存器的内容。表21列出了此命令的24位移位寄存器。在下一命令执行期间，输入寄存器内容通过SDO引脚移出，MSB首先移出。表22列出了从SDO引脚读出的24位数据，其中DB23是第一个移出的位。

**表21. 回读输入寄存器，24位移位寄存器送至SDI引脚**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1010				无关

<sup>1</sup>X表示无关。

**表22. 回读输入寄存器，24位数据从SDO引脚读出**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1010				从输入寄存器读出的数据

<sup>1</sup>X表示无关。

## 禁用菊花链功能

不需要菊花链功能时，可将其禁用以节省SDO缓冲器的功耗(参见表23)。禁用后即不支持回读请求，因为SDO引脚处于三态。

**表23. 禁用菊花链功能寄存器**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:1]	DB0
				寄存器地址				寄存器数据	
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1001				无关	DDC

<sup>1</sup>X表示无关。

**表24. 禁用菊花链位功能描述**

位名称	描述
DDC	DDC决定使能还是禁用器件的菊花链功能。默认情况下，菊花链功能使能。 0: 使能器件的菊花链功能。 1: 禁用器件的菊花链功能。

## 软件数据复位

AD5761R/AD5721R可通过软件复位至零电平、中间电平或满量程(参见表25)。器件的复位值由PV[1:0]位指定，这些位在写入控制寄存器命令时设置(参见表11和表12)。

**表25. 软件数据复位寄存器**  
MSB

LSB

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	0111				无关

<sup>1</sup>X表示无关。



**软件完全复位**

此器件可通过软件实现完全复位(参见表26)。当寄存器地址设置为1111时，器件表现为上电状态，输出箝位至AGND，输出缓冲器关断。为了配置器件、消除1 k $\Omega$ 电阻地电压箝位以及让输出缓冲器上电，用户必须对控制寄存器执行写操作。

正常工作期间重新配置DAC输出范围时，也会发出软件完全复位命令。

**表26. 软件完全复位寄存器**

MSB								LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	1111				无关

<sup>1</sup>X表示无关。

**无操作寄存器**

无操作寄存器会被忽略，不能改变器件状态(参见表27)。

**表27. 无操作寄存器**

MSB								LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB[15:0]
				寄存器地址				寄存器数据
X <sup>1</sup>	X <sup>1</sup>	X <sup>1</sup>	0	0000/0101/0110/1101/1110				无关

<sup>1</sup>X表示无关。

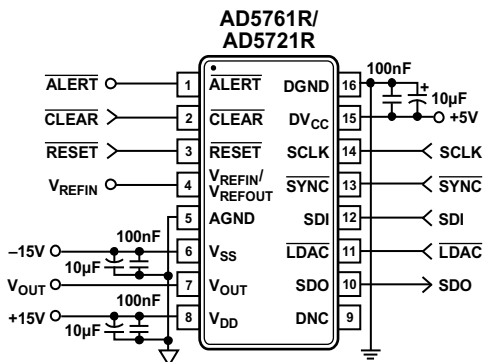
# AD5761R/AD5721R

## 应用信息

### 典型工作电路

图76显示了AD5761R/AD5721R的典型工作电路。该16/12位精密DAC所需的外部器件只有电源引脚和电源电压上的去耦电容。由于AD5761R/AD5721R内置基准电压源和基准电压源缓冲器，因而无需外部双极性基准电压源和相关缓冲器，这样便节省了总成本和电路板空间。

图76中， $V_{DD}$  连接到15 V， $V_{SS}$  连接到-15 V，但 $V_{DD}$  和 $V_{SS}$  分别可以采用4.75 V至30 V和-16.5 V至0 V的电源供电。



NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

图76. 典型工作电路

### 电源考虑

为了提供8个输出电压范围中的任一范围，AD5761R/AD5721R必须通过如下三个电源供电： $V_{DD} = 21\text{ V}$ 、 $V_{SS} = -11\text{ V}$ 和 $DV_{CC} = 5\text{ V}$ 。

对于要求高电源效率和低噪声性能的应用，建议使用开关稳压器ADP5070来将5 V输入轨转换为两个中间电压轨(+23 V和-13 V)，然后用超低噪声、低压差(LDO)稳压器(ADP7142和ADP7182)调节这些中间电压轨。图77展示的是建议方法。

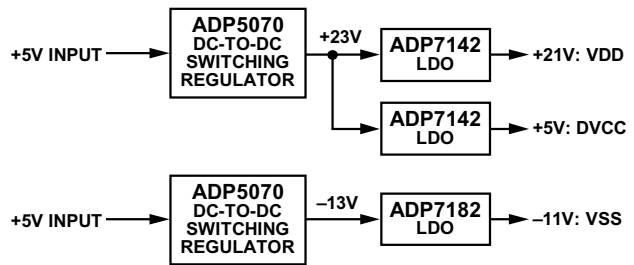
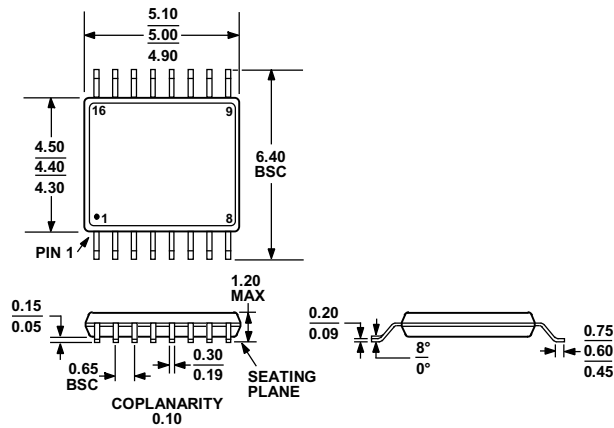


图77. ADP7142和ADP7182后调节

### 评估板

ADI公司提供AD5761R评估板，旨在帮助设计者轻松地对器件性能进行评估。AD5761R评估套件包括一片搭载相关元件并经过测试的AD5761R印刷电路板(PCB)。评估板连接到PC的USB端口，软件与评估板一同提供，便于用户设置AD5761R。EVAL-AD5761RSDZ用户指南提供了评估板工作的全部细节。

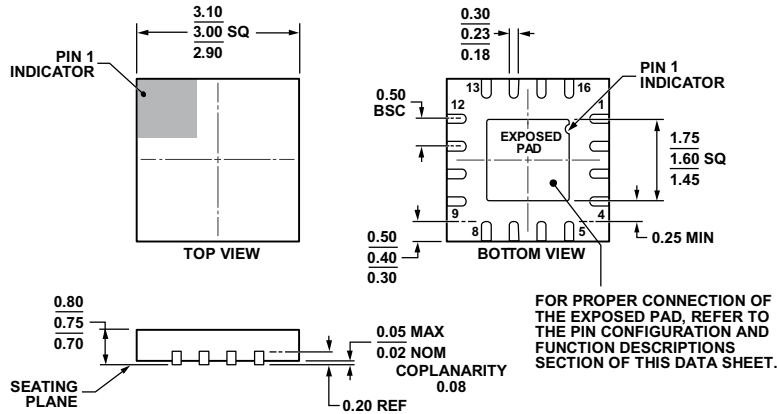
# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图78. 16引脚超薄紧缩小型封装[TSSOP] (RU-16)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

图79. 16引脚引线框芯片级封装[LFCSP\_WQ] 3 mm x 3 mm超薄四方体 (CP-16-22)

图示尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	分辨率 (位)	内部基准电压(V)	温度范围	INL (LSB)	封装描述	封装选项	标识
AD5721RBRUZ	12	2.5	-40°C至+125°C	±0.5	16引脚 TSSOP	RU-16	
AD5721RBRUZ-RL7	12	2.5	-40°C至+125°C	±0.5	16引脚 TSSOP	RU-16	
AD5721RBCPZ-RL7	12	2.5	-40°C至+125°C	±0.5	16引脚 LFCSP_WQ	CP-16-22	DHN
AD5761RARUZ	16	2.5	-40°C至+125°C	±8	16引脚 TSSOP	RU-16	
AD5761RARUZ-RL7	16	2.5	-40°C至+125°C	±8	16引脚 TSSOP	RU-16	
AD5761RBRUZ	16	2.5	-40°C至+125°C	±2	16引脚 TSSOP	RU-16	
AD5761RBRUZ-RL7	16	2.5	-40°C至+125°C	±2	16引脚 TSSOP	RU-16	
AD5761RACPZ-RL7	16	2.5	-40°C至+125°C	±8	16引脚 LFCSP_WQ	CP-16-22	DJ5
AD5761RBCPZ-RL7	16	2.5	-40°C至+125°C	±2	16引脚 LFCSP_WQ	CP-16-22	DJ6
EVAL-AD5761RSDZ					评估板		

<sup>1</sup>Z = 符合RoHS标准的器件。