

## ADuM3224/ADuM4224

### 产品特性

峰值输出电流：4 A

工作电压

高端或低端相对于输入：565 V峰值

高工作频率：1 MHz(最大值)

3.3 V至5 V CMOS输入逻辑

4.5 V至18 V输出驱动

次级UVLO

**ADuM3224A/ADuM4224A UVLO:  $4.1 V_{DDA}/V_{DDB}$**

**ADuM3224B/ADuM4224B UVLO:  $6.9 V_{DDA}/V_{DDB}$**

**ADuM3224C/ADuM4224C UVLO:  $10.5 V_{DDA}/V_{DDB}$**

精密时序特性

隔离器和驱动器传播延迟：59 ns(最大值)

通道间匹配：5 ns(最大值)

CMOS输入逻辑电平

高共模瞬变抗扰度：>25 kV/ $\mu$ s

增强的系统级ESD保护性能，符合IEC 61000-4-x标准

工作结温高达：125°C

默认低电平输出

安全和法规认证(申请中)

**ADuM3224**：窄体16引脚SOIC封装

UL 1577 3000 V均方根值输入至输出耐受电压

**ADuM4224**：宽体16引脚SOIC封装

UL 1577 5000 V均方根值输入至输出耐受电压

通过汽车应用认证

### 应用

开关电源

隔离式IGBT/MOSFET栅极驱动器

工业逆变器

### 概述

ADuM3224/ADuM4224<sup>1</sup>是4 A隔离式半桥栅极驱动器，采用ADI公司的iCoupler®技术，提供独立且隔离的高端和低端输出。ADuM3224提供3000 V rms隔离，采用窄体16引脚SOIC封装，ADuM4224则提供5000 V rms隔离，采用宽体16引脚SOIC封装。这些隔离器件将高速CMOS与单芯片变压器技术融为一体，具有优于脉冲变压器和栅极驱动器组合等替代器件的出色性能特征。

ADuM3224/ADuM4224隔离器均提供两个独立的隔离通道。这些器件采用3.0 V至5.5 V电源电压工作，可与低压系

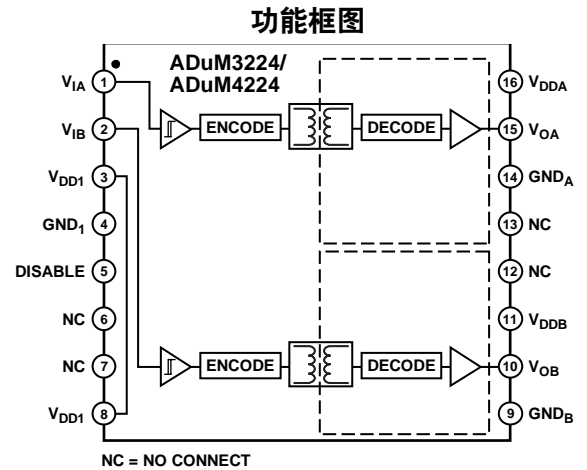


图1.

统兼容。与采用高压电平转换方法的栅极驱动器相比，ADuM3224/ADuM4224的输入与各输出之间具有真电流隔离优势。相对于输入，各路输出的持续工作电压最高可达560 V峰值，因而支持低端切换至负电压。高端与低端之间的差分电压最高可达800 V峰值。

因此，ADuM3224/ADuM4224可以在很宽的正或负切换电压范围内，可靠地控制IGBT/MOSFET配置的开关特性。

<sup>1</sup> 受美国专利第5,952,849号、6,873,065号和7,075,239号保护，其它专利正在申请中。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	引脚配置和功能描述 .....	10
应用 .....	1	典型性能参数 .....	11
功能框图 .....	1	应用信息 .....	14
概述 .....	1	印刷电路板布局布线 .....	14
修订历史 .....	2	欠压闭锁 .....	14
技术规格 .....	3	传播延迟相关参数 .....	14
电气特性——5 V电源 .....	3	热限制和开关负载特性 .....	14
电气特性——3.3 V电源 .....	4	输出负载特性 .....	14
封装特性 .....	5	自举半桥操作 .....	15
隔离和安全相关特性 .....	5	直流正确性和磁场抗扰度 .....	15
法规信息 .....	6	功耗 .....	17
DIN V VDE V 0884-10 (VDE V 0884-10)隔离特性 .....	7	隔离寿命 .....	17
建议工作条件 .....	8	外形尺寸 .....	18
绝对最大额定值 .....	9	订购指南 .....	19
ESD警告 .....	9	汽车应用产品 .....	19

## 修订历史

2013年12月—修订版0：初始版

# 技术规格

## 电气特性——5 V电源

所有电压均参照其各自的地。除非另有说明， $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ ， $4.5\text{ V} \leq V_{DDA} \leq 18\text{ V}$ ， $4.5\text{ V} \leq V_{DDB} \leq 18\text{ V}$ 。所有最小值/最大值规格适用于 $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。所有典型值规格在 $T_j = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DDA} = V_{DDB} = 12\text{ V}$ 下测得。开关规格的测试条件为CMOS信号电平。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电源电流, 静态	$I_{DDI(Q)}$		1.4	2.4	mA	
每个通道的输出电源电流, 静态	$I_{DDO(Q)}$		2.3	3.2	mA	
1 MHz时的电源电流						
$V_{DD1}$ 电源电流	$I_{DD1(Q)}$		1.6	2.5	mA	最高1 MHz, 空载
$V_{DDA}/V_{DDB}$ 电源电流	$I_{DDA(Q)}/I_{DDB(Q)}$		5.6	8.0	mA	最高1 MHz, 空载
输入电流	$I_{IA}, I_{IB}$	-1	+0.01	+1	$\mu\text{A}$	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
逻辑高电平输入阈值	$V_{IH}$	$0.7 \times V_{DD1}$			V	
逻辑低电平输入阈值	$V_{IL}$			$0.3 \times V_{DD1}$	V	
逻辑高电平输出电压	$V_{OAH}, V_{OBH}$	$V_{DDA}/V_{DDB} - 0.1$	$V_{DDA}/V_{DDB}$		V	$I_{Ox} = -20\text{ mA}, V_{Ix} = V_{IxH}$
逻辑低电平输出电压	$V_{OAL}, V_{OBL}$	0.0	0.15		V	$I_{Ox} = +20\text{ mA}, V_{Ix} = V_{IxL}$
欠压闭锁, $V_{DDA}/V_{DDB}$ 供电						
A级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		4.1	4.4	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	3.2	3.6		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.5		V	
B级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		6.9	7.4	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	5.7	6.2		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.7		V	
C级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		10.5	11.1	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	8.9	9.6		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.9		V	
输出短路脉冲电流 <sup>1</sup>	$I_{OA(SC)}, I_{OB(SC)}$	2.0	4.0		A	$V_{DDA}/V_{DDB} = 12\text{ V}$
输出脉冲源电阻	$R_{OA}, R_{OB}$	0.3	1.1	3.0	$\Omega$	$V_{DDA}/V_{DDB} = 12\text{ V}$
输出脉冲灌电阻	$R_{OA}, R_{OB}$	0.3	0.6	3.0	$\Omega$	$V_{DDA}/V_{DDB} = 12\text{ V}$
开关规格						
脉冲宽度 <sup>2</sup>	PW	50			ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
最大数据速率 <sup>3</sup>		1			MHz	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
传播延迟 <sup>4</sup>	$t_{DHL}, t_{DLH}$	31	43	54	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ; 见图20
ADuM3224A/ADuM4224A	$t_{DHL}, t_{DLH}$	35	47	59	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$ ; 见图20
传播延迟偏斜 <sup>5</sup>	$t_{PSK}$			12	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ; 见图20
通道间匹配 <sup>6</sup>	$t_{PSKCD}$		1	5	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ; 见图20
	$t_{PSKCD}$		1	7	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$ ; 见图20
输出上升/下降时间(10%至90%)	$t_r/t_f$	6	12	18	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ; 见图20
每个通道的动态输入电源电流	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
每个通道的动态输出电源电流	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
刷新速率	$f_r$		1.2		Mbps	

<sup>1</sup> 短路持续时间小于 $1\text{ }\mu\text{s}$ 。平均功率必须符合“绝对最大额定值”部分所示的限值。

<sup>2</sup> 最小脉冲宽度指保证额定时序参数的最短脉冲宽度。

<sup>3</sup> 最大数据速率指保证额定时序参数的最快数据速率。

<sup>4</sup>  $t_{DLH}$  传播延迟根据输入上升逻辑高电平阈值 $V_{IH}$ 到 $V_{OX}$ 信号的输出上升10%水平的的时间测得。传播延迟根据输入下降逻辑低电平阈值 $V_{IL}$ 到 $V_{OX}$ 信号的输出下降90%阈值测得。有关传播延迟参数的波形, 参见图20。

<sup>5</sup>  $t_{PSK}$  指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 $t_{DLH}$ 和/或 $t_{DHL}$ 的最差情况偏差。有关传播延迟参数的波形, 参见图20。

<sup>6</sup> 通道间匹配指两个通道间传播延迟之差的绝对值。

# ADuM3224/ADuM4224

## 电气特性——3.3 V电源

所有电压均参照其各自的地。除非另有说明， $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ ， $4.5\text{ V} \leq V_{DDA} \leq 18\text{ V}$ ， $4.5\text{ V} \leq V_{DDB} \leq 18\text{ V}$ 。所有最小值/最大值规格适用于 $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。所有典型值规格在 $T_j = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DDA} = V_{DDB} = 12\text{ V}$ 下测得。开关规格的测试条件为CMOS信号电平。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电源电流，静态	$I_{DDI(Q)}$		0.87	1.4	mA	
每个通道的输出电源电流，静态	$I_{DDO(Q)}$		2.3	3.2	mA	
1 MHz时的电源电流						
$V_{DD1}$ 电源电流	$I_{DD1(Q)}$		1.1	1.5	mA	最高1 MHz，空载
$V_{DDA}/V_{DDB}$ 电源电流	$I_{DDA(Q)}/I_{DDB(Q)}$		5.6	8.0	mA	最高1 MHz，空载
输入电流	$I_{IA}, I_{IB}$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
逻辑高电平输入阈值	$V_{IH}$	$0.7 \times V_{DD1}$			V	
逻辑低电平输入阈值	$V_{IL}$			$0.3 \times V_{DD1}$	V	
逻辑高电平输出电压	$V_{OAH}, V_{OBH}$	$V_{DDA}/V_{DDB} - 0.1$	$V_{DDA}/V_{DDB}$		V	$I_{Ox} = -20\text{ mA}, V_{Ix} = V_{IxH}$
逻辑低电平输出电压	$V_{OAL}, V_{OBL}$		0.0	0.15	V	$I_{Ox} = +20\text{ mA}, V_{Ix} = V_{IxL}$
欠压闭锁， $V_{DDA}/V_{DDB}$ 供电						
A级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		4.1	4.4	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	3.2	3.6		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.5		V	
B级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		6.9	7.4	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	5.7	6.2		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.7		V	
C级						
趋正阈值	$V_{DDAUV+}, V_{DDBUV+}$		10.5	11.1	V	
趋负阈值	$V_{DDAUV-}, V_{DDBUV-}$	8.9	9.6		V	
迟滞	$V_{DDAUVH}, V_{DDBUVH}$		0.9		V	
输出短路脉冲电流 <sup>1</sup>	$I_{OAS(C)}, I_{OBS(C)}$	2.0	4.0		A	$V_{DDA}/V_{DDB} = 12\text{ V}$
输出脉冲源电阻	$R_{OA}, R_{OB}$	0.3	1.1	3.0	$\Omega$	$V_{DDA}/V_{DDB} = 12\text{ V}$
输出脉冲灌电阻	$R_{OA}, R_{OB}$	0.3	0.6	3.0	$\Omega$	$V_{DDA}/V_{DDB} = 12\text{ V}$
开关规格						
脉冲宽度 <sup>2</sup>	PW	50			ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
最大数据速率 <sup>3</sup>		1			MHz	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
传播延迟 <sup>4</sup>	$t_{DHL}, t_{DLH}$	35	47	59	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ；见图20
ADuM3224A/ADuM4224A	$t_{DHL}, t_{DLH}$	37	51	65	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$ ；见图20
传播延迟偏斜 <sup>5</sup>	$t_{PSK}$			12	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ；见图20
通道间匹配 <sup>6</sup>	$t_{PSKCD}$		1	5	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ；见图20
	$t_{PSKCD}$		1	7	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$ ；见图20
输出上升/下降时间(10%至90%)	$t_R/t_F$	6	12	22	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$ ；见图20
每个通道的动态输入电源电流	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
每个通道的动态输出电源电流	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
刷新速率	$f_r$		1.1		Mbps	

<sup>1</sup> 短路持续时间小于1  $\mu\text{s}$ 。平均功率必须符合“绝对最大额定值”部分所示的限制值。

<sup>2</sup> 最小脉冲宽度指保证额定时序参数的最短脉冲宽度。

<sup>3</sup> 最大数据速率指保证额定时序参数的最快数据速率。

<sup>4</sup>  $t_{DLH}$  传播延迟根据输入上升逻辑高电平阈值 $V_{IH}$ 到 $V_{Ox}$ 信号的输出上升10%水平的的时间测得。传播延迟根据输入下降逻辑低电平阈值 $V_{IL}$ 到 $V_{Ox}$ 信号的输出下降90%阈值测得。有关传播延迟参数的波形，参见图20。

<sup>5</sup>  $t_{PSK}$  指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 $t_{DLH}$ 和/或 $t_{DHL}$ 的最差情况偏差。有关传播延迟参数的波形，参见图20。

<sup>6</sup> 通道间匹配指两个通道间传播延迟之差的绝对值。

## 封装特性

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电阻(输入至输出)	$R_{I-O}$		10 <sup>12</sup>		$\Omega$	f = 1 MHz
电容(输入至输出)	$C_{I-O}$		2.0		pF	
输入电容	$C_i$		4.0		pF	
IC结至环境热阻						
ADuM3224	$\theta_{JA}$		76		$^{\circ}\text{C}/\text{W}$	
ADuM4224	$\theta_{JA}$		45		$^{\circ}\text{C}/\text{W}$	
IC结至外壳热阻						
ADuM3224	$\theta_{JC}$		42		$^{\circ}\text{C}/\text{W}$	
ADuM4224	$\theta_{JC}$		29		$^{\circ}\text{C}/\text{W}$	

## 隔离和安全相关特性

## ADuM3224规格

表4.

参数	符号	数值	单位	测试条件/注释
额定电介质隔离电压		3000	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	4.0 min	mm	测量输入端至输出端, 隔空最短距离
最小外部爬电距离	L(I02)	4.0 min	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙		0.017 min	mm	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分
隔离组		II		材料组(DIN VDE 0110, 1/89, 表1)

## ADuM4224规格

表5.

参数	符号	数值	单位	测试条件/注释
额定电介质隔离电压		5000	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	8.0 min	mm	测量输入端至输出端, 隔空最短距离
最小外部爬电距离	L(I02)	7.6 min	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙		0.017 min	mm	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分
隔离组		II		材料组(DIN VDE 0110, 1/89, 表1)

# ADuM3224/ADuM4224

## 法规信息

ADuM3224正在接受表6所列机构的认证。

表6.

UL(申请中)	CSA(申请中)	VDE(申请中)
UL 1577 器件认可程序认可 <sup>1</sup>  单一保护3,000 V均方根值 隔离电压 文件E214100	CSA 元件验收通知5A批准  基本绝缘符合CSA 60950-1-07和IEC 60950-1标准, 400 V rms (565 V峰值)最大工作电压 文件205078	进行DIN V VDE V 0884-10(VDE V 0884-10) 认证: 2006-12 <sup>2</sup> 加强绝缘, 560 V峰值  文件2471900-4880-0001

<sup>1</sup> 依据UL 1577, 每个ADuM3224都经过1秒钟绝缘测试电压 $\geq 3,600$  V rms的验证测试(漏电流检测限值为6  $\mu$ A)。

<sup>2</sup> 依据DIN V VDE V 0884-10, 每个ADuM3224器件都经过1秒钟绝缘测试电压 $\geq 1050$  V峰值的验证测试(局部放电检测限值为5 pC)。器件标识中的星号(\*)表示通过DIN V VDE V 0884-10认证。

ADuM4224正在接受表7所列机构的认证。

表7.

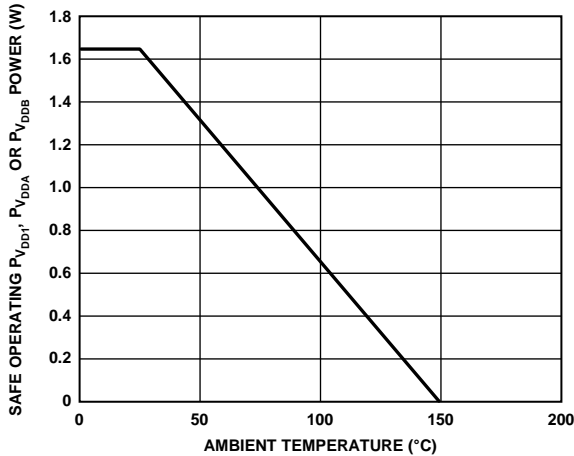
UL(申请中)	CSA(申请中)	VDE(申请中)
UL 1577 器件认可程序认可 <sup>1</sup>  单一保护5000 V均方根值 隔离电压 文件E214100	CSA 元件验收通知5A批准  加强绝缘符合CSA 60950-1-07和IEC 60950-1标准, 400 V rms (565 V峰值)最大工作电压; 基本绝缘符合CSA 60950-1-07 和IEC 60950-1标准, 800 V rms(1131 V峰值)最大工作电压 文件205078	进行DIN V VDE V 0884-10(VDE V 0884-10) 认证: 2006-12 <sup>2</sup> 加强绝缘, 849 V峰值  文件2471900-4880-0001

<sup>1</sup> 依据UL 1577, 每个ADuM4224都经过1秒钟绝缘测试电压 $\geq 6000$  V rms的验证测试(漏电流检测限值为10  $\mu$ A)。

<sup>2</sup> 依据DIN V VDE V 0884-10, 每个ADuM4224器件都经过1秒钟绝缘测试电压 $\geq 1,590$  V峰值的验证测试(局部放电检测限值为5 pC)。器件标识中的星号(\*)表示通过DIN V VDE V 0884-10认证。

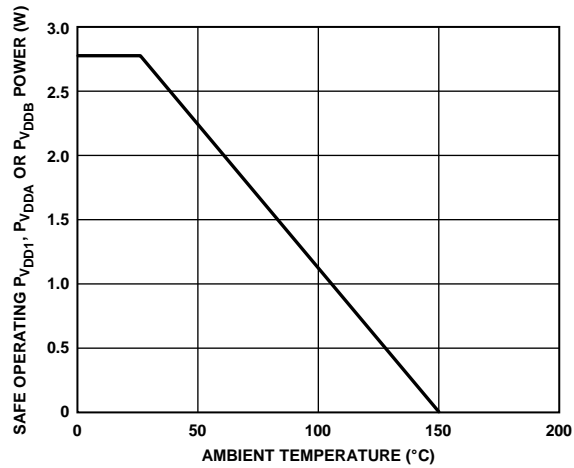


# ADuM3224/ADuM4224



11791-102

图2. ADuM3224热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系



11791-103

图3. ADuM4224热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系

## 建议工作条件

表10.

参数	符号	额定值
工作结温	$T_J$	-40°C至+125°C
电源电压 <sup>1</sup>	$V_{DD1}$	3.0 V至5.5 V
	$V_{DDA}, V_{DDB}$	4.5 V至18 V
$V_{DD1}$ 上升时间	$t_{VDD1}$	1 V/ $\mu$ s
$V_{DDA}$ 、 $V_{DDB}$ 上升时间	$t_{VDDA}, t_{VDDB}$	10 V/ $\mu$ s
输入信号最大上升和下降时间	$t_{VIA}, t_{VIB}$	1 ms
共模瞬变, 静态 <sup>2</sup>		-50 kV/ $\mu$ s至+50 kV/ $\mu$ s
共模瞬变抗扰度, 动态 <sup>3</sup>		-25 kV/ $\mu$ s至+25 kV/ $\mu$ s

<sup>1</sup> 所有电压均参照各自的地。有关外部磁场抗扰度的信息, 参见“应用信息”部分。

<sup>2</sup> 静态共模瞬变抗扰度定义为 $GND_1$ 和 $GND_A/GND_B$ 之间的最高 $dv/dt$ 值, 其输入保持高电平或低电平, 从而使输出电压保持在 $0.8 \times V_{DDA}/V_{DDB}$ 以上(如果 $V_{IA}/V_{IB}$  = 高电平), 或0.8 V(如果 $V_{IA}/V_{IB}$  = 低电平)。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。

<sup>3</sup> 动态共模瞬变抗扰度定义为 $GND_1$ 和 $GND_A/GND_B$ 之间的最高 $dv/dt$ 值, 其开关边沿与瞬变测试脉冲重合。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。



## 绝对最大额定值

除非另有说明，环境温度 = 25°C。

表11.

参数	额定值
存储温度( $T_{ST}$ )	-55°C至+150°C
工作结温( $T_J$ )	-40°C至+150°C
电源电压 <sup>1</sup>	
$V_{DD1}$	-0.5 V至+7.0 V
$V_{DDA}, V_{DDB}$	-0.5 V至+20 V
输入电压( $V_{IA}$ 、 $V_{IB}$ 、DISABLE) <sup>1</sup>	-0.5 V至 $V_{DD1} + 0.5 V$
输出电压 <sup>1</sup>	
$V_{OA}$	-0.5 V至 $V_{DDA} + 0.5 V$
$V_{OB}$	-0.5 V至 $V_{DDB} + 0.5 V$
每个引脚的平均输出电流( $I_O$ ) <sup>2</sup>	-35 mA至+35 mA
共模瞬变(CM <sub>H</sub> 、CML) <sup>3</sup>	-100 kV/μs至+100 kV/μs

<sup>1</sup> 所有电压均参照各自的地。

<sup>2</sup> 不同温度下的最大容许电流参见图2和图3。

<sup>3</sup> 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

表12. 最大连续工作电压<sup>1</sup>

参数	最大值	单位	约束条件
交流电压，双极性波形	565	V峰值	最少50年寿命
交流电压，单极性波形	1131	V峰值	最少50年寿命
直流电压	1131	V峰值	最少50年寿命

<sup>1</sup> 指隔离栅上的连续电压幅度。详见“隔离寿命”部分。

表13. ADuM3224/ADuM4224(正逻辑)真值表<sup>1</sup>

禁用	$V_{IA}$ 输入	$V_{IB}$ 输入	$V_{DD1}$ 状态	$V_{DDA}/V_{DDB}$ 状态	$V_{OA}$ 输出	$V_{OB}$ 输出	注释
L	L	L	有电	有电	L	L	输出在DISABLE = L置位后的1 μs内恢复到输入状态。
L	L	H	有电	有电	L	H	输出在DISABLE = L置位后的1 μs内恢复到输入状态。
L	H	L	有电	有电	H	L	输出在DISABLE = L置位后的1 μs内恢复到输入状态。
L	H	H	有电	有电	H	H	输出在DISABLE = L置位后的1 μs内恢复到输入状态。
H	X	X	有电	有电	L	L	输出在DISABLE = H置位后的3 μs内处于默认低电平状态。
L	L	L	无电	有电	L	L	输出在 $V_{DD1}$ 电源恢复后的1 μs内返回到输入状态。
X	X	X	有电	无电	L	L	输出在 $V_{DDA}/V_{DDB}$ 电源恢复后的50 μs内恢复到输入状态。

<sup>1</sup> X = 无关，L = 低电平，H = 高电平。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告

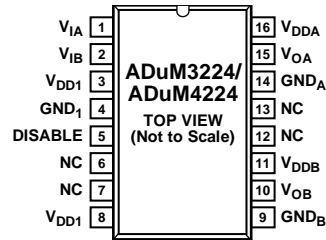


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADuM3224/ADuM4224

## 引脚配置和功能描述



NOTES  
1. NC = NO CONNECT. NOT INTERNALLY CONNECTED.

11791-003

图4. 引脚配置

表14. ADuM3224/ADuM4224引脚功能描述

引脚编号 <sup>1</sup>	引脚名称	说明
1	V <sub>IA</sub>	逻辑输入A。
2	V <sub>IB</sub>	逻辑输入B。
3, 8	V <sub>DD1</sub>	输入电源电压。
4	GND <sub>1</sub>	输入逻辑信号的接地参考。
5	DISABLE	输入禁用。禁用隔离器输入，刷新电路。输出在DISABLE = 高电平置位后的3 μs内处于默认低电平状态。输出在DISABLE = 低电平置位后的1 μs内恢复到输入状态。
6, 7, 12, 13	NC	不连接。这些引脚不在内部连接。
9	GND <sub>B</sub>	输出B的接地参考。
10	V <sub>OB</sub>	输出B。
11	V <sub>DDB</sub>	输出B电源电压。
14	GND <sub>A</sub>	输出A的接地参考。
15	V <sub>OA</sub>	输出A。
16	V <sub>DDA</sub>	输出A电源电压。

<sup>1</sup> 引脚3和引脚8内部互连，并且建议将二者均连接至V<sub>DD1</sub>。

典型性能参数

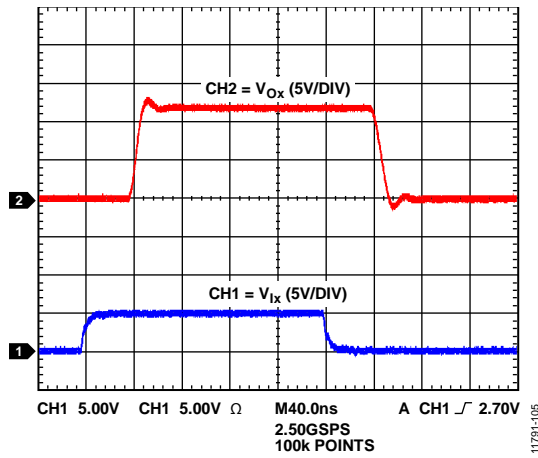


图5. 2 nF负载的输出波形(12 V输出电源)

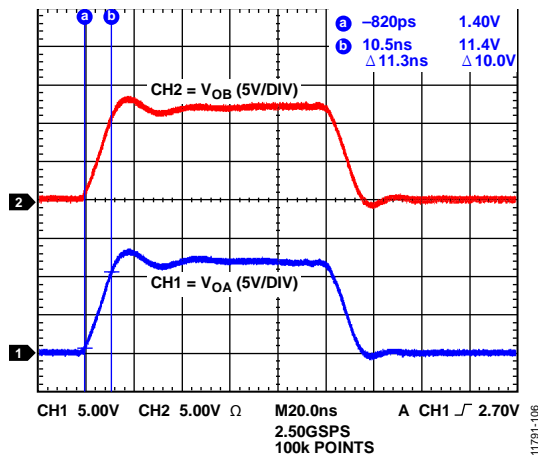


图6. 2 nF负载的输出匹配和上升时间波形(12 V输出电源)

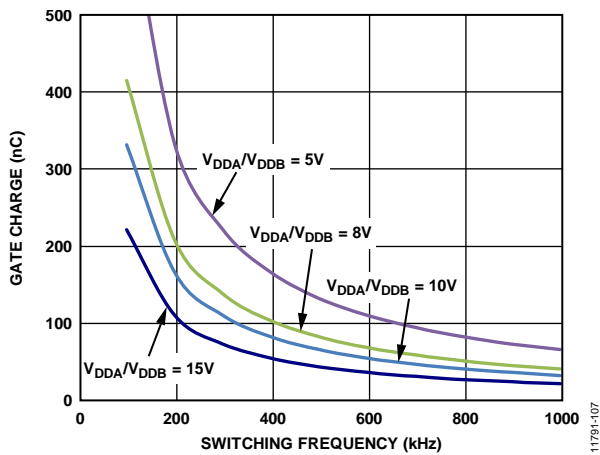


图7. 典型ADuM3224最大负载与开关频率的关系( $R_G = 1 \Omega$ )

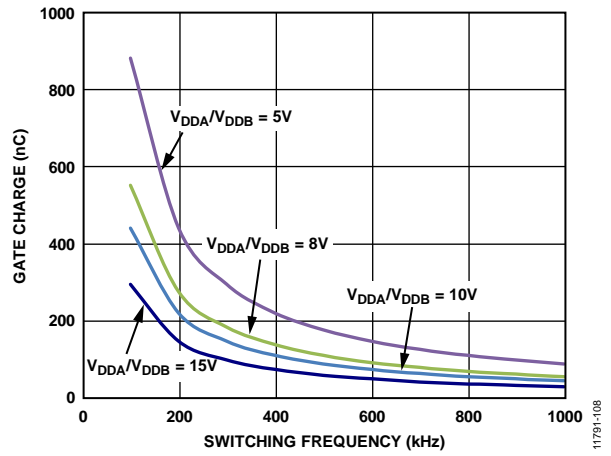


图8. 典型ADuM4224最大负载与开关频率的关系( $R_G = 1 \Omega$ )

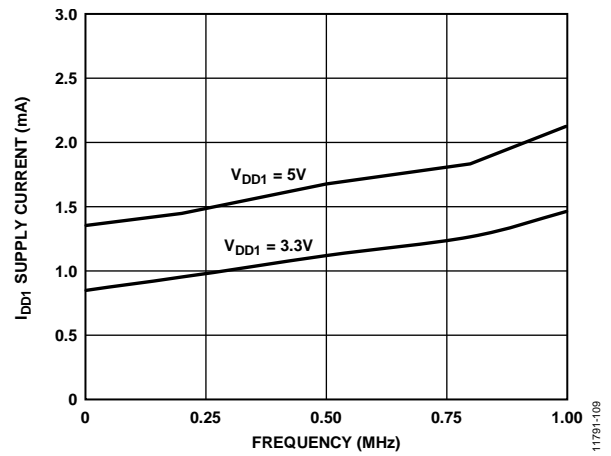


图9. 典型 $I_{DD1}$  电源电流与频率的关系

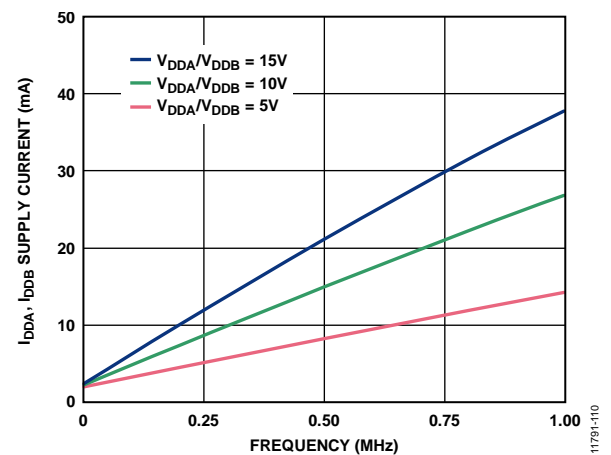


图10. 典型 $I_{DDA}$ 、 $I_{DDB}$  电源电流与频率的关系(2 nF负载)

# ADuM3224/ADuM4224

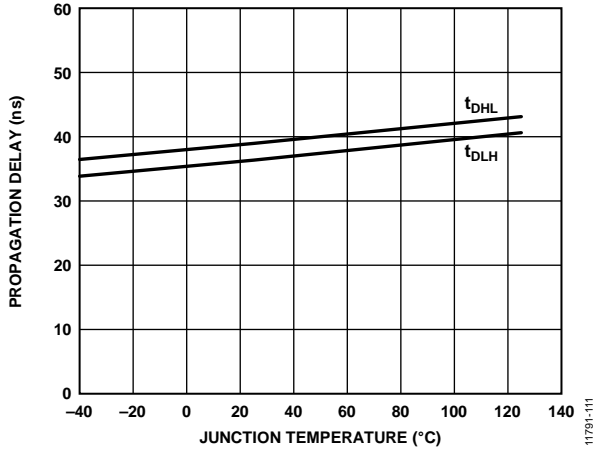


图11. 典型传播延迟与结温的关系

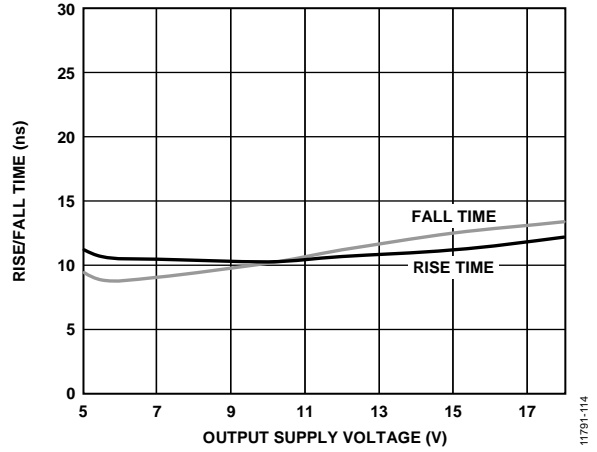


图14. 典型上升/下降时间变化与输出电源电压的关系

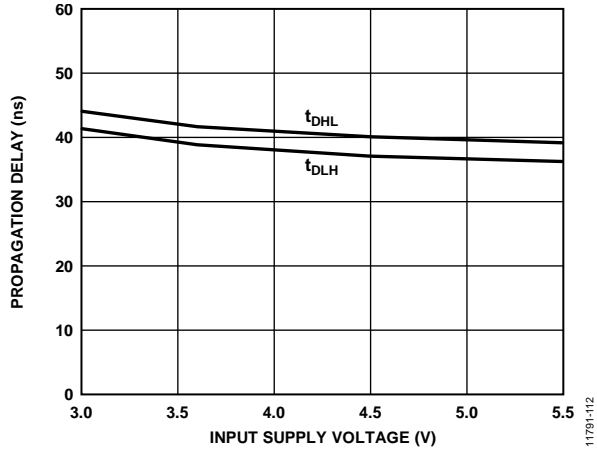


图12. 典型传播延迟与输入电源电压的关系 ( $V_{DDA}$ 、 $V_{DDB} = 12 V$ )

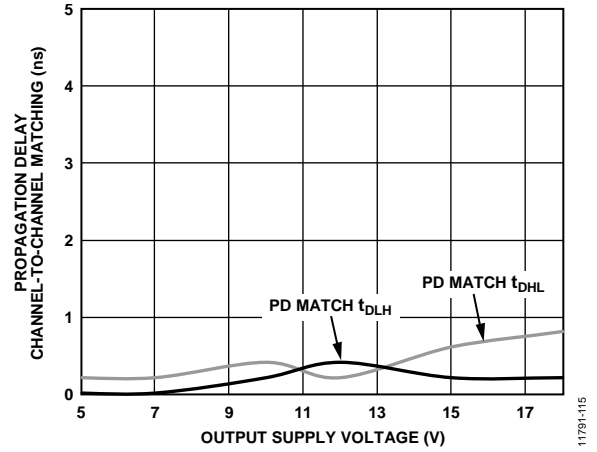


图15. 典型传播延迟(PD)通道间匹配与输出电源电压的关系

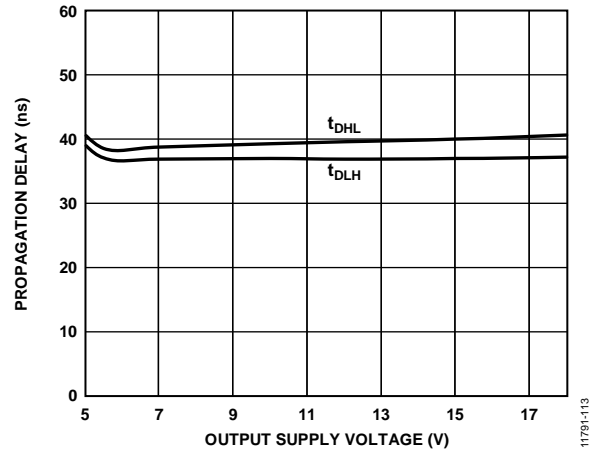


图13. 典型传播延迟与输出电源电压的关系 ( $V_{DD1} = 5 V$ )

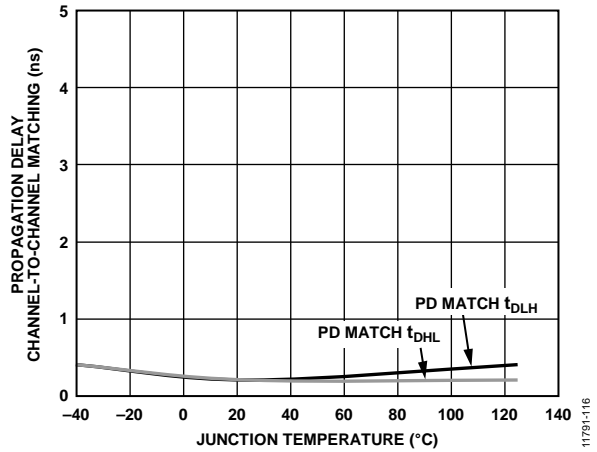


图16. 典型传播延迟(PD)通道间匹配与温度的关系 ( $V_{DDA}$ 、 $V_{DDB} = 12 V$ )

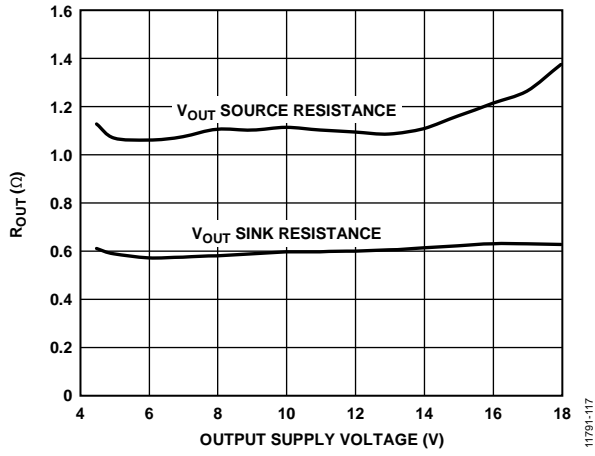


图17. 典型输出电阻( $R_{OUT}$ )与输出电源电压的关系

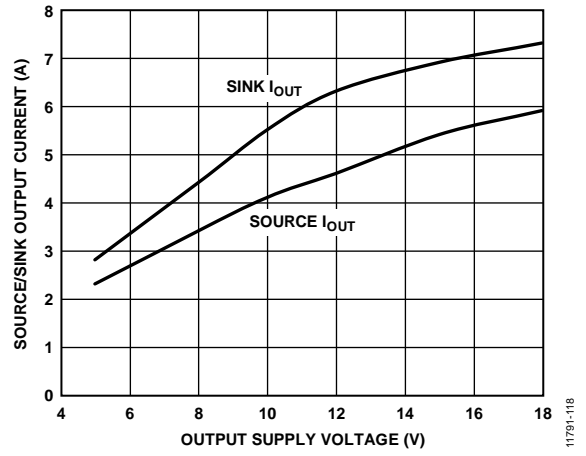


图18. 典型源/吸输出电流与输出电源电压的关系

## 应用信息

### 印刷电路板布局布线

ADuM3224/ADuM4224数字隔离器不需要外部接口电路作为逻辑接口。输入和输出供电引脚需要电源旁路，如图19所示。使用电容值在0.01  $\mu\text{F}$ 到0.1  $\mu\text{F}$ 之间的小型陶瓷电容，以提供良好的高频旁路。在输出电源引脚 $V_{\text{DDA}}$ 或 $V_{\text{DDB}}$ 上，建议再增加一个10  $\mu\text{F}$ 电容，以提供驱动ADuM3224/ADuM4224输出端栅极电容所需的电荷。在输出电源引脚上，应避免在旁路电容上使用过孔，或者应该使用多个过孔来降低旁路电感值。较小的电容两端到输入或输出电源引脚的走线总长不得超过5 mm。关于特定布局原则，请参考AN-1109应用笔记：iCoupler器件的辐射控制建议。

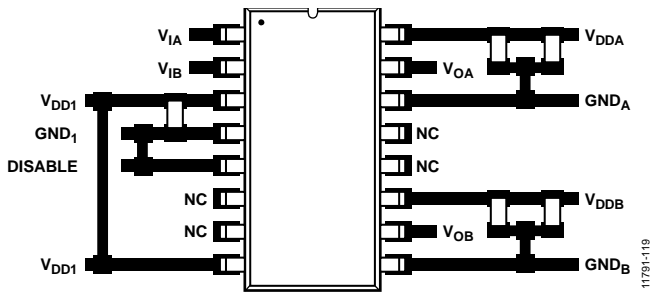


图19. 推荐的PCB布局

### 欠压闭锁

为使ADuM3224/ADuM4224一个通道的输出有效， $V_{\text{DD1}}$ 和 $V_{\text{DDA}}$ （或 $V_{\text{DDB}}$ ）电源均必须高于趋正欠压闭锁(UVLO)阈值。工作期间，若电源电压降至趋负UVLO阈值以下，输出将变为低电平以免开关欠驱。 $V_{\text{DD1}}$ 阈值通常在2.5 V左右。次级电源阈值有三个选项，可通过器件等级来选择(参见“订购指南”)。各输出通道的UVLO独立工作，不过如果是 $V_{\text{DD1}}$ 发生UVLO，两个通道均会变为低电平。

### 传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。到逻辑低电平输出的传播延迟可能不同于到逻辑高电平输出的传播延迟。ADuM3224/ADuM4224指定 $t_{\text{DLH}}$ （见图20）作为上升输入高电平逻辑阈值 $V_{\text{IH}}$ 到输出上升10%阈值之间的时间。同样，下降传播延迟 $t_{\text{DHL}}$ 定义为输入下降逻辑低电平阈值 $V_{\text{IL}}$ 到输出下降到90%阈值之间的时间。上升和下降时间取决于负载条件，并且不包含在传播延迟中，这是栅极驱动器的工业标准。

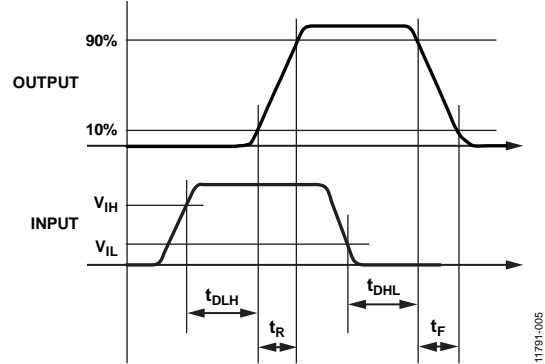


图20. 传播延迟参数

通道间匹配指单个ADuM3224/ADuM4224器件内各通道的传播延迟之间的最大差异。

传播延迟偏斜指在相同条件下工作的多个ADuM3224/ADuM4224器件的传播延迟之间的最大差异。

### 热限制和开关负载特性

对于隔离式栅极驱动器，在输入和输出电路之间进行必要的隔离需要避免在部件下方使用单一散热焊盘。因此主要通过封装引脚来散热。

对于不同输出电压值使用1  $\Omega$ 串联栅极电阻能够驱动的最大负载电容，封装散热限制了输出负载与开关频率之间的性能表现，如图7和图8所示。例如，图7显示典型的ADuM3224器件可以驱动140 nC栅极电荷、8 V输出（相当于17 nF负载）、最高频率约300 kHz的大型MOSFET。

不要让ADuM3224/ADuM4224的内部结温超过最高结温150°C。在超过此值的结温下工作时，器件会受损。ADuM3224/ADuM4224没有内置热关断保护功能。如需热关断功能，请参见ADuM3223/ADuM4223数据手册。

### 输出负载特性

ADuM3224/ADuM4224输出信号取决于输出负载（通常是N沟道MOSFET）的特性。驱动器输出对于N沟道MOSFET负载的响应可以模拟为开关输出电阻( $R_{\text{SW}}$ )、印刷电路板走线的电感( $L_{\text{TRACE}}$ )、串联栅极电阻( $R_{\text{GATE}}$ )和源电容栅极( $C_{\text{GS}}$ )，如图21所示。

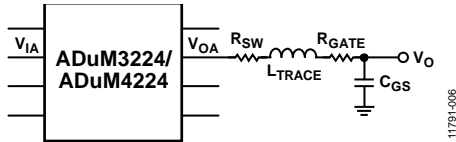


图21. N通道MOSFET栅极的RLC模型

$R_{SW}$ 为内部ADuM3224/ADuM4224驱动器输出的开关电阻，约等于 $1.1\ \Omega$ 。 $R_{GATE}$ 为MOSFET的固有栅极电阻加任意外部串联电阻。需要4 A栅极驱动器的MOSFET，其典型固有栅极电阻约为 $1\ \Omega$ ，栅极-源极电容 $C_{GS}$ 介于 $2\ \text{nF}$ 到 $10\ \text{nF}$ 之间。 $L_{TRACE}$ 为印刷电路板走线的电感，其典型值为 $5\ \text{nH}$ ，或者当采用从ADuM3224/ADuM4224输出端到MOSFET栅极具有短而宽的连接的精心的布局，这个值会更小。

以下公式定义了电阻/电感/电容(RLC)电路的Q因数，表示ADuM3224/ADuM4224输出端如何响应阶跃变化。对于高阻尼输出而言，Q小于1。添加串联栅极电阻会抑制输出响应。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

在图5中， $12\ \text{V}$ 输出的ADuM3224/ADuM4224输出波形显示对应 $2\ \text{nF}$ 的 $C_{GS}$ 。请注意图5中的少量输出响铃振荡， $C_{GS}$ 为 $2\ \text{nF}$ ， $R_{SW}$ 为 $1.1\ \Omega$ ， $R_{GATE}$ 为 $0\ \Omega$ ，计算得出的Q因数为 $0.75$ ，对于高阻尼应用应小于1。

通过添加串联栅极电阻可以减少输出响铃振荡，从而抑制响应。对于负载低于 $1\ \text{nF}$ 的应用，建议添加一个数值约为 $2\ \Omega$ 至 $5\ \Omega$ 的串联栅极电阻。

### 自举半桥操作

ADuM3224/ADuM4224非常适合用于两个输出栅极信号参考不同接地的操作，比如半桥配置。减少电源数是有好处的，因为隔离辅助电源通常十分昂贵。实现该配置的一种方法是为ADuM3224/ADuM4224的高端电源采用自举配置。在该拓扑中，去耦电容 $C_A$ 用来存储高端电源的电，并且只要关闭低端开关，就会对其填充电能，将 $\text{GND}_A$ 变为 $\text{GND}_B$ 。在 $C_A$ 充电期间，必须控制 $V_{DDA}$ 电压的 $dv/dt$ ，减少

输出端产生毛刺的可能性。对于ADuM3224/ADuM4224，建议将 $dv/dt$ 保持在 $10\ \text{V}/\mu\text{s}$ 以下。这可以通过在 $C_A$ 的充电电路上引入一个串联电阻 $R_{BOOT}$ 来控制。例如，假定 $V_{AUX}$ 为 $12\ \text{V}$ ， $C_A$ 总电容为 $10\ \mu\text{F}$ ，自举二极管的正向压降为 $1\ \text{V}$ 。

$$V_{BOOT} = \frac{V_{AUX} - V_{D_{BOOT}}}{C_A \times \frac{dv}{dt}_{MAX}} = \frac{12\ \text{V} - 1\ \text{V}}{10\ \mu\text{F} \times 10\ \text{V}/\mu\text{s}} = 0.11\ \Omega$$

### 直流正确性和磁场抗扰度

在隔离器输入端的正负逻辑电平转换会使一个很窄的(约 $1\ \text{ns}$ )脉冲通过变压器被送到解码器。解码器是双稳态的，因此，可以被这个脉冲置位或复位，表示输入逻辑的转换。当输入端超过 $1\ \mu\text{s}$ 没有逻辑转换时，会发送一组用以表示正确输入状态的周期性刷新脉冲，以确保输出的直流正确性。

如果解码器在超过大约 $3\ \mu\text{s}$ 没有接收到内部脉冲，则认为输入侧没有供电或者无效，在这种情况下，隔离器的输出被看门狗计时电路强制设置为默认低电平状态。此外，当电源电压小于UVLO阈值时，输出端处于低电平默认值状态。

ADuM3224/ADuM4224具有抗扰性能，不易受外部磁场的影。ADuM3224/ADuM4224磁场抗扰度的限制是由变压器接收线圈中的感应电压的状态决定的，电压足够大就会错误地置位或复位解码器。下面的分析说明此情况发生的条件。检测ADuM3224/ADuM4224的 $3\ \text{V}$ 工作电压是因为它在此条件下工作时最易受到干扰。变压器输出端的脉冲幅度大于 $1.0\ \text{V}$ 。解码器的检测阈值大约是 $0.5\ \text{V}$ ，因此感应电压可承受的噪声容限为 $0.5\ \text{V}$ 。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt) \Sigma \pi r_n^2, n = 1, 2, \dots, N$$

其中：

$\beta$ 是磁通密度(高斯)。

$r_n$ 是接收线圈第 $n$ 圈的半径(cm)。

$N$ 是接收线圈匝数。

# ADuM3224/ADuM4224

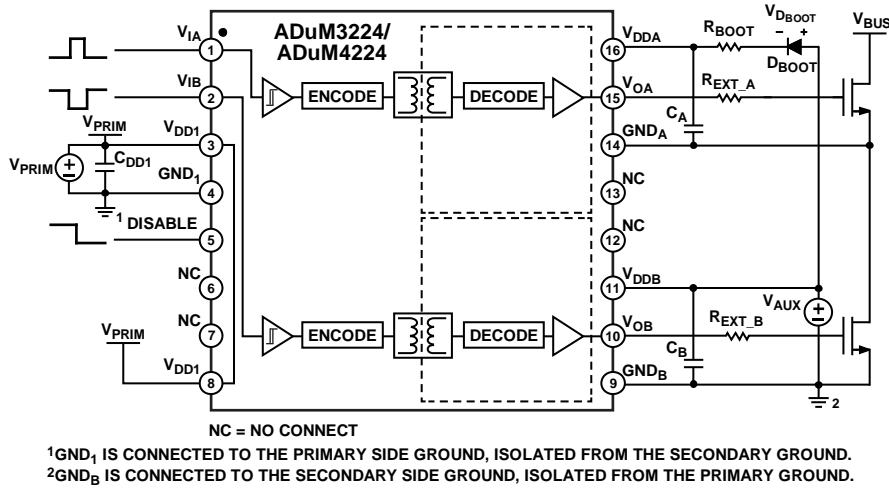


图22. 自举半桥操作电路图

给定ADuM3224/ADuM4224接收线圈几何形状及感应电压，解码器最多能够有0.5 V余量的50%，允许的最大磁场见图23所示计算。

先前的磁通密度值对应于与ADuM3224/ADuM4224变压器给定距离的额定电流幅度。图24表明这些允许的电流幅度是频率与所选距离的函数。如图24所示，ADuM3224/ADuM4224只有在离器件很近的高频大电流下才会受影响。以频率为1 MHz的应用为例，0.2 kA电流必须在距离ADuM3224/ADuM4224 5mm以外的時候才不会影响器件工作。

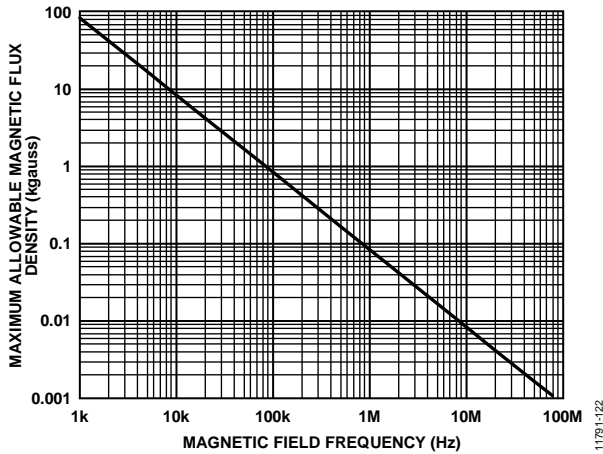


图23. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，最大允许0.08 K高斯的磁场在接收线圈可以感应出0.25 V的电压。这大约是检测阈值的50%并且不会引起输出转换错误。同样，如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于1.0 V下降到0.75 V，仍然高于解码器检测阈值0.5 V。

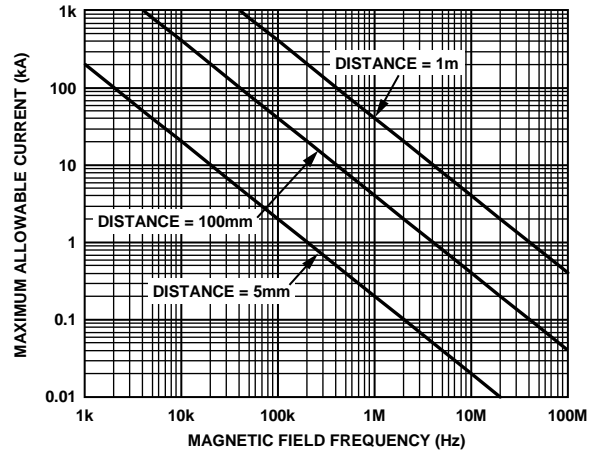


图24. 不同电流至ADuM3224/ADuM4224距离下的最大允许电流



## 功耗

ADuM3224/ADuM4224隔离器给定通道的电源电流是电源电压、通道数据速率和通道输出负载的函数。

对于每个输入通道，电源电流按照下式计算：

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5fr$$

$$I_{DDI} = I_{DDI(D)} \times (2f - fr) + I_{DDI(Q)} \quad f > 0.5fr$$

对于每个输出通道，电源电流按照下式计算：

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5fr$$

$$I_{DDO} = (I_{DDO(D)} + (0.5) \times C_L V_{DDO}) \times (2f - fr) + I_{DDO(Q)} \quad f > 0.5fr$$

其中：

$I_{DDI(D)}$ 、 $I_{DDO(D)}$  是每个通道的输入和输出动态电源电流 (mA/Mbps)。

$C_L$  是输出负载电容 (pF)。

$V_{DDO}$  是输出电源电压 (V)。

$f$  是输入逻辑信号频率 (MHz，输入数据速率的一半，NRZ 信令)。

$f_r$  是输入级刷新速率 (Mbps)。

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$  是额定输入和输出静态电源电流 (mA)。

为了计算总电源电流，必须计算与  $I_{DDI}$ 、 $I_{DDA}$  和  $I_{DDB}$  相对应的各输入和输出通道的电源电流并求和。

图9提供了两个输入通道的总输入  $I_{DDI}$  电源电流与数据速率的函数关系。图10提供了两个2 nF电容负载输出端的总  $I_{DDA}$  或  $I_{DDB}$  电源电流与数据速率的函数关系。

## 隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离层上的电压波形特性决定。除了由监管机构进行测试，ADI公司也进行一系列广泛的评估来确定ADuM3224/ADuM4224内部隔离架构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。

表12中显示的值总结了双极性交流工作条件下50年工作寿命的峰值电压以及CSA/VDE认可的最大工作电压。许多情况下，认可工作电压高于50年工作寿命电压。某些情况下，在这些高工作电压下工作会导致隔离寿命缩短。

ADuM3224/ADuM4224的隔离寿命由施加在隔离栅上的电压波形决定。*iCoupler*结构的隔离度以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图25、图26和图27显示这些不同隔离电压的波形。

双极性交流电压环境对于*iCoupler*产品而言是最差的情况，在这种情况下，ADI公司推荐的最大工作电压对应的工作寿命为50年。在单极性交流或者直流电压的情况下，隔离应力显然低得多。此工作模式在能够获得50年工作时间的情况下，允许更高的工作电压。任何与图26或图27不一致的横跨隔离的电压波形都应被认为是双极性交流波形，其峰值电压应限制在表12中列出的50年工作寿命电压以下。

请注意，图26所示的正弦电压波形仅作为示例提供，它代表任何在0 V与某一限值之间变化的电压波形。该限值可以为正值或负值，但电压不能穿过0 V。

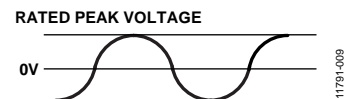


图25. 双极性交流波形

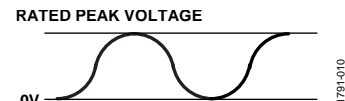


图26. 单极性交流波形

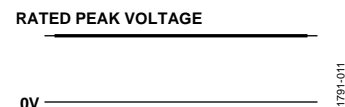
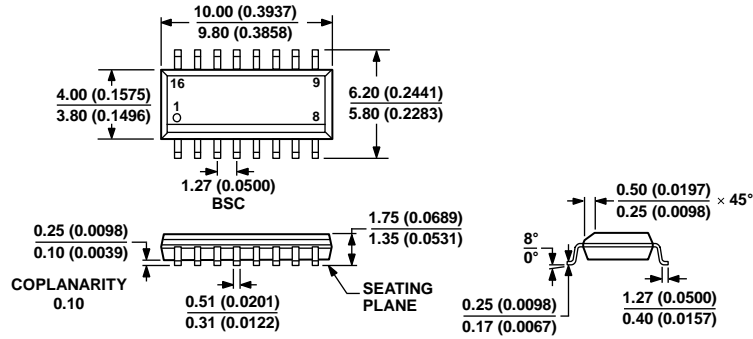


图27. 直流波形

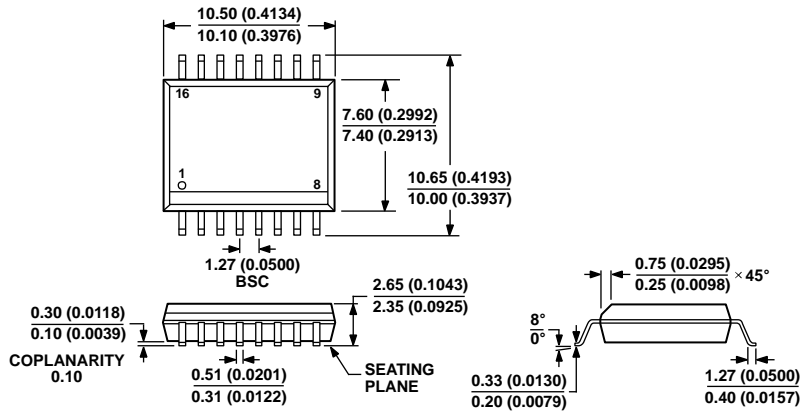
## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-012-AC  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

图28. 16引脚标准小型封装[SOIC\_N]  
窄体 (R-16)  
图示尺寸单位: mm和(inch)



COMPLIANT TO JEDEC STANDARDS MS-013-AA  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

图29. 16引脚标准小型封装[SOIC\_W]  
宽体 (RW-16)  
图示尺寸单位: mm和(inch)

## 订购指南

型号 <sup>1,2</sup>	通道数	输出峰值电流 (A)	最小输出电压(V)	温度范围	封装描述	封装选项	订购数量
ADuM3224WARZ	2	4	4.5	-40°C至+125°C	16引脚 SOIC_N	R-16	
ADuM3224WARZ-RL7	2	4	4.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	R-16	1,000
ADuM3224WBRZ	2	4	7.5	-40°C至+125°C	16引脚 SOIC_N	R-16	
ADuM3224WBRZ-RL7	2	4	7.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	R-16	1,000
ADuM3224WCRZ	2	4	11.5	-40°C至+125°C	16引脚 SOIC_N	R-16	
ADuM3224WCRZ-RL7	2	4	11.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	R-16	1,000
ADuM4224WARWZ	2	4	4.5	-40°C至+125°C	16引脚 SOIC_N	RW-16	
ADuM4224WARWZ-RL	2	4	4.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	RW-16	1,000
ADuM4224WBRWZ	2	4	7.5	-40°C至+125°C	16引脚 SOIC_N	RW-16	
ADuM4224WBRWZ-RL	2	4	7.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	RW-16	1,000
ADuM4224WCRWZ	2	4	11.5	-40°C至+125°C	16引脚 SOIC_N	RW-16	
ADuM4224WCRWZ-RL	2	4	11.5	-40°C至+125°C	16引脚 SOIC_N, 7"卷带和卷盘	RW-16	1,000

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> W = 通过汽车应用认证。

## 汽车应用产品

ADuM3224W和ADuM4224W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

**注释**